

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-334743

(43)Date of publication of application : 17.12.1996

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

H04N 5/66

(21)Application number : 07-140287

(71)Applicant : HITACHI LTD
HITACHI VIDEO IND INF SYST INC

(22)Date of filing : 07.06.1995

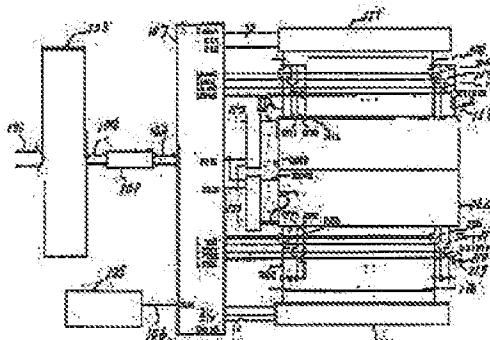
(72)Inventor : FURUHASHI TSUTOMU
IKEGAMI YASUO
TAKITA ISAO
IKEDA MAKIKO
TANAKA TAKESHI
FUTAMI TOSHIRO
TSUNEKAWA SATORU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent the increase of a frame period even though the amount of data is increased, to avoid the decrease in the area of a source driver and to eliminate the reduction in the pitch of TAB of the source driver without making the TAB finer even though the output pitch of the source driver is to be made finer.

CONSTITUTION: A memory controller 103 rearranges display data and writes the data into a memory 102. An LCD controller 107 outputs the read display data to source drivers 111 and 112, and FLM and CL3 are outputted to gate drivers 120 and 121. The controller 107 successively puts switch groups 116, 117, 118 and 119 into conductiong conditions and the gradation voltage outputted to a gradation voltage line 110 by the drivers 111 and 112 are applied to source lines STO... and SBO... corresponding to Lines 0, 1, 2 and 3.



特開平8-334743

(43)公開日 平成8年(1996)12月17日

(51) Int.Cl*	識別記号	序内整理番号	P I	技術表示箇所
G 02 F 1/133	5 5 0		G 02 F 1/133	5 5 0
	5 2 0			5 2 0
G 09 G 3/36			G 09 G 3/36	
H 04 N 5/66	1 0 2		H 04 N 5/66	1 0 2 B

審査請求 未請求 請求項の数15 OL (全 28 頁)

(21)出願番号 特願平7-140287

(22)出願日 平成7年(1995)6月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000223136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 古林 勉

神奈川県川崎市麻生区玉桜町1099番地株式会社日立製作所システム開発研究所内

(72)発明者 池上 泰生

神奈川県横浜市戸塚区吉田町292番地株式会社日立画像情報システム内

(74)代理人 弁理士 小川 勝男

最終頁に続く

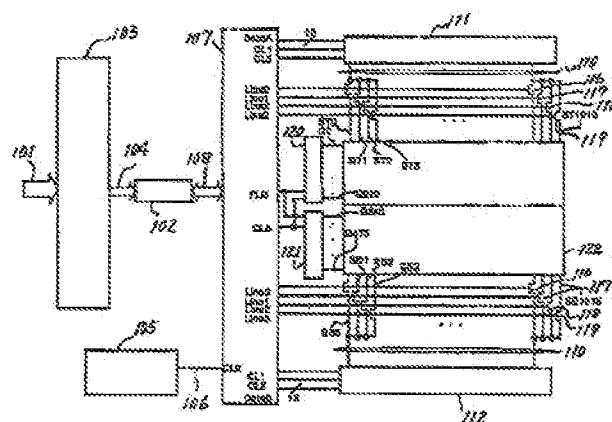
(54)【発明の名称】 液晶表示装置

(57)【要約】

【構成】メモリコントローラ103は表示データを並び替えてメモリ102に書き込み、LCDコントローラ107は読み込んだ表示データをソースドライバ111、112に出力し、ゲートドライバ120及び121にPLM及びCL3を出力する。ソースドライバ111及び112が階調電圧線110に出力する階調電圧は、LCDコントローラ107がスイッチ群116、117、118、119を順次導通状態にして、Line0、1、2、3に対応したソース線S10...及びSB0...に印加される。

【効果】データ量が増えても、フレーム樹期が長くなってしまうことはない。又、ソースドライバの出力ピッチを微細化しなくてはならない場合でも、ソースドライバの小面積化、ソースドライバのT A Bの小ピッチ化を行わなくてもよく、T A Bの微細化を伴わない。

図 1



【特許請求の範囲】

【請求項1】マトリックス状に配列した画素部を有し、複数本のゲート線と複数本のソース線とが引き出された液晶のパネルと、前記パネル1枚分以上の表示データを記憶する記憶手段と、前記表示データを入力して前記パネルに対応した画素配列に並べ替え、前記記憶手段にそのデータを書き込む記憶手段制御部と、前記表示データを順次記憶し、前記パネルの画素配列に対応して、表示データに対応した電圧を出力する複数の階調電圧線を持つソースドライバと、前記ソースドライバの各階調電圧線を入力し、前記各階調電圧線をそれぞれ複数本に分け、それと同じ複数本の選択信号を入力し、その選択信号によって複数本のに分けた電圧出力線のうちの1本を選択する選択手段と、前記パネルの複数本のゲート線に順次選択電圧を出力するゲートドライバと、クロックを生成するクロック生成部と、前記クロック生成部からクロックを入力し、前記記憶手段に記憶されている表示データを読み込み、前記ソースドライバにその表示データを出力し、前記選択手段に複数本の選択信号を出力し、前記ゲートドライバにゲート線に順次選択電圧を出力し始めるようにする信号を出力する制御部からなる液晶表示装置において、前記パネルが上部と下部とに分割され、分割された前記パネルの上部と下部とに1個ずつ合わせて2個の前記ソースドライバを配し、分割された前記パネルの左部に又は右部に1個ずつ上部用及び下部用の合わせて2個の前記ゲートドライバを配したこととする液晶表示装置。

【請求項2】請求項1において、前記パネルが上部と下部とに分割され、分割された前記パネルの上部と下部との、各左右に1個ずつ合わせて4個の前記ソースドライバを配し、分割された前記パネルの左又は右に1個ずつ上部用及び下部用の合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項3】請求項1において、前記パネルが左右に分割され、分割された前記パネルの左右に1個ずつ合わせて2個の前記ソースドライバを配し、分割された前記パネルの左右に1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項4】請求項1記載の液晶表示装置において、前記パネルが左部と右部とに分割され、その分割された前記パネルの左部及び右部両方のソース線が、ゲート線1本おきに前記パネルの上から及び下から引き出され、分割された前記パネルの左部と右部との、各上下に1個ずつ合わせて4個の前記ソースドライバを配し、分割された前記パネルの左部と右部とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項5】請求項1において、前記パネルが左上部と左下部と右上部と右下部とに分割され、分割された前記パネルの左上部の上、左下部の下、右上部の上、右下部の上に、1個ずつ合わせて4個の前記ソースドライバを

配し、分割された前記パネルの左上部と左下部とに、右上部と右下部とに、それぞれ1個ずつ合わせて2個の前記ゲートドライバを配し、左上部と左下部とを、右上部と右下部とをそれぞれ同時に駆動するようにした液晶表示装置。

【請求項6】請求項1において、前記パネルのゲート線が、ソース線2本おきに前記パネルの右から及び左から引き出され、前記パネルの上側又は下側の左右合わせて2個の前記ソースドライバを配し、前記パネルの左側と右側とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項7】請求項1において、前記パネルのゲート線が、ソース線4本おきに前記パネルの右から及び左から引き出され、前記パネルのソース線が、ソース線1本おきに前記パネルの上及び下から引き出され、前記パネルの上側および下側に各1個合わせて2個の前記ソースドライバを配し、前記パネルの左側と右側とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項8】請求項1において、前記パネルのゲート線が、ソース線4本おきに前記パネルの右から及び左から引き出され、前記パネルの上側又は下側に1個の前記ソースドライバを配し、前記パネルの左側と右側とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項9】請求項1において、前記パネルの上側又は下側の左右に合わせて2個の前記ソースドライバを配し、前記パネルの左側又は右側に1個の前記ゲートドライバを配した液晶表示装置。

【請求項10】請求項1において、前記パネルのソース線が、ゲート線1本おきに前記パネルの上から及び下から引き出され、前記パネルの上側及び下側に左右1個ずつ合わせて4個の前記ソースドライバを配し、前記パネルの左側又は右側に1個の前記ゲートドライバを配した液晶表示装置。

【請求項11】請求項1において、前記パネルの上側又は下側に1個の前記ソースドライバを配し、前記パネルの左側と右側とに1個の前記ゲートドライバを配した液晶表示装置。

【請求項12】請求項1、2、3、4、5、6、7、8、9、10または11において、記憶手段制御部とクロック生成部と制御部とを一つの集積回路にした液晶表示装置。

【請求項13】請求項12において、記憶手段と前記集積回路とをさらに一つの集積回路にした液晶表示装置。

【請求項14】請求項1、2、3、4、5、6、7、8、9、10、11、12または13において、パネルとゲートドライバと選択手段とを一つの集積回路にした液晶表示装置。

【請求項15】請求項1、2、3、4、5、6、7、

8、9、10、11、12、13または14において、ソースドライバと前記集積回路とをさらに一つの集積回路にした液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はパソコン、ワープロ、ワークステーションなどに好適な液晶表示装置に関する。

【0002】

【従来の技術】従来の液晶表示装置の構成及び駆動方法に関して、特開平5-232989号公報に記載の、2組のメモリを持ち、預めどちらのメモリに書き込み、どちらのメモリから読み出すかを決める方式が公知な技術として知られている。

【0003】

【発明が解決しようとする課題】液晶パネルに限らず、従来の画面の解像度から、新たに更に解像度の高い表示を得るには、一般に、表示にかかる単位時間当たりのデータ量は多くなる。従来の解像度で、良好な、あるいは最低限の品質を保つための1フレーム期間に必要な時間（以下、フレーム周期という）が、高解像度化のためにデータ量が増え、それによってフレーム周期が長くなってしまうという問題があった。

【0004】本発明の目的は、高解像度のパネルに移行するときに、1フレーム当たりのデータ量が増加しても、フレーム周期が長くならず良好な表示できるようにする液晶表示装置を提供することにある。

【0005】又、液晶パネルの画素ピッチが従来のものより微細化され、従来例で示したようにソースドライバをカスケード接続する場合、ソースドライバの出力ピッチを微細化しなくてはならない。このため、ソースドライバの小面積化、ソースドライバ回路の出力を液晶パネル接続するI A Bの小ピッチ化を行わなくてはならない。また、I A Bと液晶パネルを微細化すると、その接合部分の位置合わせや接合技術に高度な技術を要することになり、生産コストが高くなるなどの問題を生じる。

【0006】本発明の第二の目的は、従来の液晶駆動回路を用いて、画素ピッチを微細化した液晶パネルに良好な表示を行うことにある。

【0007】

【課題を解決するための手段】上記課題を解決する手段として、マトリックス状に配列した画素部を有し、複数本のゲート線と複数本のソース線とが引き出された液晶のパネルと、前記パネル1枚分以上の表示データを記憶する記憶手段と、表示データを入力して前記パネルに対応した画素配列に並べ替え、前記記憶手段にそのデータを書き込む記憶手段制御部と、表示データを順次記憶し、前記パネルの画素配列に対応して、表示データに対応した電圧を出力する複数の階調電圧線を持つソースドライバと、前記ソースドライバの各階調電圧線を入力し、その各階調電圧線をそれぞれ複数本に分け、それと

同じ複数本の選択信号を入力し、その選択信号によって複数本のに分けた電圧出力線のうちの1本を選択する選択手段と、前記パネルの複数本のゲート線に順次選択電圧を出力するゲートドライバと、クロックを生成するクロック生成部と、前記クロック生成部からクロックを入力し、前記記憶手段に記憶されている表示データを読み込み、前記ソースドライバにその表示データを出力し、前記選択手段に複数本の選択信号を出力し、前記ゲートドライバにゲート線に順次選択電圧を出力し始めるようする信号を出力する制御部で構成する。

【0008】

【作用】本発明の液晶表示装置は、順次転送されてくる表示データをメモリに一時記憶し、各スイッチ群が導通状態になり、ソースドライバが表示データに対応した階調電圧をソース線に出力できるように、各スイッチ群に対応する表示データをソースドライバに出力し、かつ、ソースドライバが表示データに対応した階調電圧を出力している間にそのスイッチ群を導通状態にする。このようにすることで、表示データに対応した表示を得ることができる。

【0009】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0010】図1は本発明の第1の実施例を示す表示装置であり、図2はそのパネル122の詳細なプロック図であり、図3は図1の動作を表すタイミングチャートである。図4はメモリ102のメモリマップである。

【0011】図1において、101はパソコン等から転送される表示データ、H sync、V sync、ドットクロックで構成される表示データバス、102は1画面分以上の表示データを記憶できるメモリ、103は表示データバス101の信号表示データを並び替えるメモリ102に書き込むためのデータ、制御信号を生成するメモリコントローラ、104はメモリコントローラ103からメモリ102に出力するデータ、制御信号で構成されたメモリライトバスである。

【0012】メモリコントローラ103は、表示データバス101の信号を元に、表示データを並び替え、メモリ102に並び替えた表示データをメモリライトバス104を通して図4に示すようなメモリマップで書き込む。

【0013】105はクロック生成回路、106はクロック生成回路105が outputするクロック、107はクロック106を元に液晶表示制御信号とメモリ102からのデータを読み込むための制御信号を生成するLCDコントローラ、108はLCDコントローラ107の制御信号とメモリ102からのデータで構成されるメモリリードバスである。

【0014】LCDコントローラ107は、クロック106を元にメモリ制御信号を生成し、メモリリードバス

108を通して、表示データを読み込む。読み込んだ表示データを転送クロックCL2に同期して、各々3画素分の表示データを一度に転送可能なデータバスDataA及びDataBに出力し、CL1信号をソースドライバ111及びソースドライバ112に出力してから、ゲートドライバ120及びゲートドライバ121にゲート出力開始信号FLM及び水平同期信号CL3を出力する。

【0015】110は階調電圧線、111及び112はクロックCL2に同期してDataA及びDataBから表示データを順次160回記憶し、CL1信号によって階調電圧線110に、記憶した160×3画素の表示データに対応した階調電圧を出力するソースドライバである。

【0016】ソースドライバ111及びソースドライバ112は、LCDコントローラ107がクロックCL2に同期してデータバスDataA及びDataBに出力した表示データを記憶する。LCDコントローラ107はその表示データを出力し終えると、ソースドライバ111及びソースドライバ112が記憶したデータを出力するためのCL1信号を出力する。ソースドライバ111及びソースドライバ112は記憶した表示データに対応した階調電圧を階調電圧線110に出力する。

【0017】Line0、Line1、Line2及びLine3はLCDコントローラ107の出力するソース選択線、116、117、118及び119はLine0、Line1、Line2またはLine3がハイレベルのときに、S10、S11...、S1919及びSB0、SB1...、SB1919ヒソースドライバ111及びソースドライバ112の出力する階調電圧線110とを導通状態にするスイッチ群である。

【0018】ソースドライバ111及びソースドライバ112が階調電圧を階調電圧線110に出力すると、LCDコントローラ107がLine0だけをハイレベルにすると、スイッチ群116が導通状態になり、Line0に対応したS10、S14...及びSB0、SB4...に階調電圧を印加する。同様に、LCDコントローラ107がLine1だけをハイレベルになると、スイッチ群117が導通状態になり、Line1に対応したS11、S15...及びSB1、SB5...に階調電圧を印加する。同様に、Line2だけをハイレベルにすると、スイッチ群118が導通状態になり、S12、S16...及びSB2、SB6...に階調電圧を印加する。同様に、Line3だけをハイレベルにすると、スイッチ群119が導通状態になり、S13、S17...及びSB3、SB7...に階調電圧を印加する。

【0019】120及び121は、ゲート出力開始信号FLMと水平同期信号CL3とを入力し、ゲート信号G0からG239及びG240からG479に水平同期信

号CL3に同期して順次選択電圧を出力するゲートドライバである。

【0020】ゲートドライバ120およびゲートドライバ121は、ゲート出力開始信号FLMがハイレベルのときに、水平同期信号CL3の立ち下がりでゲート信号G0及びG240を、次の水平同期信号CL3の立ち下がりでG1及びG241を、最後にはG239及びG479を、というように、水平同期信号CL3立ち下がりに同期して順次G0からG239及びG240からG479に選択電圧を出力する。

【0021】122は上部及び下部の2画面で構成される640ドット×480ラインのIFT型液晶のパネルである。

【0022】図2はパネル122の詳細図であり、S10、S11、S12、S13からS1919及びSB0、SB1、SB2、SB3からSB1919はソースドライバ111及びソースドライバ112によってドライブされるソース信号、G0、G1、G2からG479は他の信号に比べて立ち上がり／立ち下がり時間が遅いゲート信号であり、ゲートドライバ120及びゲートドライバ121によってドライブされる。例えば、ゲート信号G0及びG240に選択電圧が印加されると、そのゲート信号G0及びG240に接続されたTFIは導通状態になる。導通状態になったTFIにより、S10からS1919及びSB0からSB1919に印加されている階調電圧を画素電極に印加できる。

【0023】次にデータを入力してから表示するまでの動作を説明する。メモリコントローラ103は最新の表示データを入力し、データを並べ替ながら1画面分のデータを、メモリライトバス104からメモリ102に書き込む。メモリ102のメモリマップは、図4のようになる。まず初めにG0に対応した画素に階調電圧をかける場合について、図3を用いて説明する。LCDコントローラ107は、メモリ102に書き込まれたデータの、パネル122に表示するための上下2絞りであるゲート信号G0及びG240の各Line0に対応する最初の4分の1ラインのデータをメモリリードバス108から読み込み、各々を表示データバスDataA及びDataBを通して、クロック信号CL2に同期してソースドライバ111及びソースドライバ112に出力する。ソースドライバ111及びソースドライバ112は、160回のCL2信号によって各々のデータを記憶する。このときLCDコントローラ107は、Line0に対応した4分の1ラインの表示データの転送が終了したことを示すCL1信号を出力する。CL1信号によりソースドライバ111及びソースドライバ112は、記憶したデータに対応した階調電圧を階調電圧線110に出力する。このときLCDコントローラ107はLine0をハイレベルにし、スイッチ群116を導通状態にして、S10、S14からS1916及びSB0、

S B 4からS B 1 9 1 6に階調電圧を印加する。次のLine 1に対応した4分の1ラインもLine 0と同様で、LCDコントローラ107はメモリリードバス108からG 0及びG 2 4 0の各Line 1に対応する4分の1ラインのデータを読み込み、そのデータをソースドライバ111及びソースドライバ112に出力し、CL 1信号を出力した後、Line 1をハイレベルにし、スイッチ群117を導通状態にして、S I 1、S I 5からS I 1 9 1 7及びS B 1、S B 5からS B 1 9 1 7に階調電圧を印加する。同様にしてLCDコントローラ107は、Line 2をハイレベルにし、スイッチ群118を導通状態にして、S I 2、S I 6からS I 1 9 1 8及びS B 2、S B 6からS B 1 9 1 8に階調電圧を印加する。同様にLCDコントローラ107は、Line 3をハイレベルにし、スイッチ119を導通状態にして、S I 3、S I 7からS I 1 9 1 9及びS B 3、S B 7からS B 1 9 1 9に階調電圧を印加する。このようにして1ライン分の表示データに対応した階調電圧を出力できる。また、ゲートドライバ120及びゲートドライバ121は、Line 0がハイレベルにされる前に、CL 3のローレベル及びFLMのハイレベルを入力すると、ゲート信号G 0及びG 2 4 0をハイレベルにし、最初のラインの表示ができると示す。Line 3がハイレベルからローレベルになるときには、ゲート信号G 0及びG 2 4 0は十分にハイレベルに達していて、S I 0からS I 1 9 1 9及びS B 0からS B 1 9 1 9にかかる階調電圧は、IFTを通して画素電極に与えられ、G 0及びG 2 4 0の2ラインの表示が完了する。

【0024】次のラインの表示は、最初のG 0及びG 2 4 0の2ラインの表示と同様に、LCDコントローラ107はメモリ102に書き込まれたデータの、パネル122に表示するための上下2組分であるゲート信号G 1及びG 2 4 1の各Line 0に対応する最初の4分の1ラインのデータをメモリリードバス108から読み込み、各々を表示データバスData A及びData Bを通して、クロック信号CL 2に同期してソースドライバ111及びソースドライバ112に出力する。以下同様にして、S I 0からS I 1 9 1 9及びS B 0からS B 1 9 1 9に階調電圧を印加する。CL 3がローレベルに出力され、G 1及びG 2 4 1をハイレベルにする。Line 3をハイレベルからローレベルにするときには、ゲート信号G 1及びG 2 4 1は十分にハイレベルに達していて、S I 0からS I 1 9 1 9及びS B 0からS B 1 9 1 9に印加されている階調電圧は、IFTを通して画素電極に与えられ、G 1とG 2 4 1の2ラインの表示が完了する。

【0025】以下同様にして、G 2からG 2 3 9及びG 2 4 2からG 4 7 9のラインの表示が完了する。

【0026】LCDの場合に必要な画素電圧の交流化について、まずライン毎に交流させる場合は、LCDコン

トローラ107がData AとData Bに出力するデータ値を、同じ1画面内の1ライン飛びに、ソースドライバ111及びソースドライバ112の出力する階調電圧が正電圧と負電圧になるように出力する。G 0のラインが例えば正電圧、G 1が負電圧であったら、次の画面の表示では、G 0は負電圧、G 1は正電圧にする。あるいは、パネル122の共通電極を1ライン飛びに2組設け、いわゆる櫛形電極として、1画面毎に共通電極の電圧を、正／負に切り替える。

【0027】また、1画面毎に交流する場合は、LCDコントローラ107がData AとData Bに出力するデータ値を、1画面毎に、ソースドライバ111及びソースドライバ112の出力する階調電圧が正電圧と負電圧になるように出力する。あるいは、パネル122の共通電極を1画面毎に正／負に切り替える。

【0028】ゲートドライバ120の出力を、G 0及びG 2 4 0、G 1及びG 2 4 1、G 2 3 9及びG 4 7 9に各々出力することで、1個のドライバで構成して、480本のラインを制御するようにしてもちろん良い。

【0029】本実施例によれば、ゲート線G 0からG 4 7 9の立ち上がり時間及び立ち下がり時間が、他の信号に比べて遅いパネルでも、フレーム周波数を下げることなく表示することができる。

【0030】第2の実施例として、ソースドライバをパネルの上下2個ずつ持つ構成としたものを、図5、図6及び図7を用いて説明する。図5は第2の実施例を示す表示装置であり、図6はメモリ150のメモリマップ、図7は図5の動作を表すタイミングチャートである。

【0031】図5において、150は1画面分以上の表示データを記憶でき、図6に示すメモリマップで表示データが記憶されているメモリ、151はLCDコントローラ152からの制御信号とメモリ150からの表示データで構成されるメモリリードバス、152はクロック106を元に液晶表示制御信号とメモリ150からのデータを読み込むための制御信号を生成するLCDコントローラである。LCDコントローラ152は、クロック106を元にメモリ制御信号を生成し、メモリリードバス151でメモリ150からデータを読み出し、読み込んだ表示データをCL 2に同期してData A、Data B、Data C及びData Dに出力し、Line 0から3を出力し、ゲートドライバ120及びゲートドライバ121にゲート出力開始信号FLM及び水平同期信号CL 3を出力する。153、154、155及び156はCL 2とともに記憶した表示データをCL 1によって階調電圧線110に階調電圧を出力する240出力のソースドライバである。

【0032】データを入力してから表示するまでの動作は、第1の実施例とほぼ同じであるが、本実施例では、第1の実施例で上下1個ずつだったソースドライバを、

各々左右に2分して2個のソースドライバとする。まず、LCDコントローラ152はメモリリードバス151から、パネル122に表示するための上下2組分であるゲート信号G0及びG240の各Line0に対応する最初の4分の1ラインのデータを読み込み、そのデータをバスDataA、DataB、DataC及びDataDを通してCL2信号に同期して出力する。ソースドライバ153、154、155及び156は、80回のCL2信号によって各々のデータを記憶する。LCDコントローラ152はCL1信号を出力し、Line0をハイレベルにする。同様にして、Line1、Line2及びLine3について動作する。LCDコントローラ152がFLMとCL3とを出力すると、ゲートドライバ120及びゲートドライバ121はG0及びG240をハイレベルにする。

【0033】本実施例では、第1の実施例で上下1個ずつだったソースドライバを、左右に分けて各2個のソースドライバとし、各ソースドライバに同時に表示データを出力することで、ソースドライバが表示データを記憶し始めてから階調電圧をソース線に印加するまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0034】第3の実施例として、パネルを左右に分割し、ソースドライバを2個だけパネルの上に持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図8から図11を用いて説明する。図8は第3の実施例を示す表示装置であり、図9はパネル205の詳細なブロック図、図10は図8の動作を表すタイミングチャート、図11はメモリ200のメモリマップである。

【0035】図8において、200は1画面分以上の表示データを記憶でき、図11に示すメモリマップで表示データが記憶されているメモリ、201はLCDコントローラ202からの制御信号とメモリ200からの表示データで構成されるメモリリードバス、202はクロック106を元に液晶表示制御信号とメモリ200からのデータを読み込むための制御信号を生成するLCDコントローラである。LCDコントローラ202は、クロック106を元にメモリ制御信号を生成し、メモリリードバス201でメモリ200からデータを読み出し、読み込んだ表示データをCL2に同期してDataA及びDataBに出力し、Line0、Line1、Line2及びLine3を出力し、ゲートドライバ203及びゲートドライバ204にゲート出力開始信号FLM及び水平同期信号CL3を出力する。203及び204はゲート出力開始信号FLMと水平同期信号CL3とを入力し、ゲート信号G0からG479及びG0'からG479'をハイレベルにするゲートドライバである。205は左部及び右部の2画面で構成される640ドット×480ラインのTFT型液晶のパネルである。

【0036】データを入力してから表示するまでの動作は、第2の実施例とほぼ同じであるが、本実施例では、

第2の実施例でパネル122の上下2個ずつであったソースドライバを、パネル205の上だけに2個持つ構成とする。まず、LCDコントローラ202はメモリリードバス201から、パネル205に表示するための上下2組分であるゲート信号G0及びG0'の各Line0に対応する最初の4分の1ラインのデータを読み込み、そのデータをバスDataA及びDataBを通してCL2信号に同期して出力する。ソースドライバ153及びソースドライバ154は、80回のCL2信号によって各々のデータを記憶する。LCDコントローラ202はCL1信号を出力し、Line0をハイレベルにする。同様にして、Line1、Line2及びLine3について動作する。LCDコントローラ202がLine0を最初にハイレベルにすると同時にFLMとCL3とを出力すると、ゲートドライバ203及びゲートドライバ204はG0及びG0'をハイレベルにする。Line3がハイレベルからローレベルになるときには、ゲート信号G0及びG0'は十分にハイレベルに達していて、S0からS1919に印加されている階調電圧は、IFIを通して画素電極に与えられ、G0及びG0'の1ラインの表示が完了する。

【0037】本実施例では、LCDコントローラ202がLine0をハイレベルにすると同時にCL3信号を出力するようにしてあり、Line3をハイレベルからローレベルにしてからLine0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0038】第4の実施例として、パネルを左右に分割し、ソースドライバをパネルの上下2個ずつ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図12から図15を用いて説明する。図12は第4の実施例を示す表示装置であり、図13はパネル253の詳細な説明図、図14は図12の動作を表すタイミングチャート、図15はメモリ250のメモリマップである。

【0039】図12において、250は1画面分以上の表示データを記憶でき、図15に示すメモリマップで表示データが記憶されているメモリ、251はLCDコントローラ252からの制御信号とメモリ250からの表示データで構成されるメモリリードバス、252はクロック106を元に液晶表示制御信号とメモリ250からのデータを読み込むための制御信号を生成するLCDコントローラである。

【0040】LCDコントローラ252は、クロック106を元にメモリ制御信号を生成し、メモリリードバス251でメモリ250からデータを読み出し、読み込んだ表示データをCL2に同期してDataA、DataB、DataC及びDataDに出力し、Line0、Line1、Line2及びLine3を出力し、ゲートドライバ203及びゲートドライバ204にゲート出

力開始信号F I M及び水平同期信号C L 3を出力する。2 0 3及び2 0 4はゲート出力開始信号F I Mと水平同期信号C L 3とを入力し、ゲート信号G 0からG 4 7 9及びG 0'からG 4 7 9'をハイレベルにするゲートドライバである。2 5 3は左部及び右部の2画面で構成される6 4 0ドット×4 8 0ラインのTFT型液晶のパネルである。

【0041】データを入力してから表示するまでの動作は、第3の実施例とほぼ同じであるが、本実施例では、パネル2 5 5に上下各2個のソースドライバを持つ構成とする。まず、LCDコントローラ2 5 2はメモリードバス2 5 1から、パネル2 5 5に表示するための上下2組分であるゲート信号G 0、G 0'、G 1及びG 1'の各Line 0に対応するデータを読み込み、そのデータをバスData A、Data B、Data C及びData Dを通してC L 2信号に同期して出力する。ソースドライバ1 5 3、ソースドライバ1 5 4、ソースドライバ1 5 5及びソースドライバ1 5 6は、80回のC L 2信号によって各々のデータを記憶する。LCDコントローラ2 5 2はC L 1信号を出力し、Line 0をハイレベルにする。同様にして、Line 1、Line 2及びLine 3について動作する。そして、LCDコントローラ2 5 2がF I MとC L 3とを出力すると、ゲートドライバ2 0 3及びゲートドライバ2 0 4はG 0、G 0'、G 1及びG 1'をハイレベルにする。Line 3がハイレベルからローレベルになるとには、ゲート信号G 0及びG 0'は十分にハイレベルに達していて、S 0からS 1 9 1 9に印加されている階調電圧は、TFTを通して画素電極に与えられ、G 0、G 0'、G 1及びG 1'の2ラインの表示が完了する。

【0042】本実施例では、例えばG 0、G 0'、G 1及びG 1'の2ラインの表示が同時に完了するので、1ラインの表示時間中に2ライン表示でき、フレーム周波数を高くすることができる。

【0043】第5の実施例として、パネルを上下左右に4分割し、ソースドライバをパネルの上下2個ずつ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図16から図18を用いて説明する。図16は第5の実施例を示す表示装置であり、図17はパネル3 0 0の詳細な説明図、図18は図16の動作を表すタイミングチャートである。

【0044】図16において、3 0 0は左上部、右上部、左下部及び右下部の4画面で構成される6 4 0ドット×4 8 0ラインのTFT型液晶のパネル。3 0 1及び3 0 2は1本の出力で2本のゲート信号をドライブするゲートドライバで、ゲートドライバ3 0 1はパネル3 0 0の左上部と左下部のゲート線を、つまりG 0とG 2 4 0、G 1とG 2 4 1というように1本ずつ同時駆動し、ゲートドライバ3 0 2はパネル3 0 0の右上部と右下部のゲート線をつまりG 0'、G 2 4 0'、G 1'、G 2

4 1'、G 4 7 9'というように1本ずつ同時駆動する。

【0045】データを入力してから表示するまでの動作は、第2の実施例とほぼ同じであるが、第2の実施例では1ラインを表示するためのゲート線は例えばG 0の1本だけであったが、本実施例では左右に分けて、新しくG 0とG 0'とに分け、それぞれゲートドライバ3 0 1及びゲートドライバ3 0 2で駆動するようしている。

【0046】本実施例によれば、ゲート線G 0からG 4 7 9及びG 0'からG 4 7 9'の立ち上がり時間及び立ち下がり時間が、他の信号に比べて遅いパネルでも、フレーム周波数を下げることなく表示することができる。

【0047】第6の実施例として、ソースドライバをパネルの上に2個持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図19から図21を用いて説明する。図19は第4の実施例を示す表示装置であり、図20はパネル3 5 1の詳細な説明図、図21は図19の動作を表すタイミングチャートである。

【0048】図19において、3 5 0はクロック1 0 6を元に液晶表示制御信号とメモリ2 0 0からのデータを読み込むための制御信号を生成するLCDコントローラ、3 5 1は6 4 0ドット×4 8 0ラインのTFT型液晶のパネルである。メモリコントローラ1 0 3がメモリ2 0 0に書き込むときのメモリマップは図11であり、第3の実施例と同じである。

【0049】LCDコントローラ3 5 0は、クロック1 0 6を元にメモリ制御信号を生成し、メモリードバス2 0 1でメモリ2 0 0からデータを読み出し、読み込んだ表示データをC L 2に同期してData A及びData Bに出力し、Line 0、Line 1、Line 2及びLine 3を出力し、ゲートドライバ2 0 3及びゲートドライバ2 0 4にゲート出力開始信号F I M及び水平同期信号C L 3を出力する。

【0050】データを入力してから表示するまでの動作は、第3の実施例とほぼ同じであるが、本実施例では、ゲートドライバ2 0 3は、Line 0に次いでLine 1をハイレベルからローレベルにした後、G 0、G 1、G 2 4 0、G 4 7 9を各々駆動する。同様に、ゲートドライバ2 0 4は、Line 2に次いでLine 3をハイレベルからローレベルにした後、G 0'、G 1'、G 2 4 0'、G 4 7 9'を各々駆動する。つまり、Line 0およびLine 1に対応したデータはゲートドライバ2 0 3でG 0からG 4 7 9で駆動され、Line 2およびLine 3に対応したデータはゲートドライバ2 0 4でG 0'からG 4 7 9'で駆動されるようにしたものである。

【0051】本実施例では、LCDコントローラ3 5 0がLine 0をハイレベルにするとときにC L 3信号を出力するようにしてあり、Line 3をハイレベルからローレベルにしてからLine 0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0052】第7の実施例として、ソースドライバをパネルの上下2箇所ずつ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図22から図25を用いて説明する。図22は第7の実施例を示す表示装置であり、図23はパネル403の詳細な説明図24は図22の動作を表すタイミングチャート、図25はメモリ400のメモリマップである。

【0053】図22において、400は1画面分以上の表示データを記憶でき、図25に示すメモリマップで表示データが記憶されているメモリ、401はLCDコントローラ402からの制御信号とメモリ400からの表示データで構成されるメモリリードバス、402はクロック106を元に液晶表示制御信号とメモリ400からのデータを読み込むための制御信号を生成するLCDコントローラである。403は640ドット×480ラインのTFT型液晶のパネルであり、図22にその詳細を示す。

【0054】301及び302は1本の出力で2本のゲート信号をドライブするゲートドライバで、ゲートドライバ301はパネル300の左上部と左下部のゲート線を、つまりG0とG240、G1とG241というように1本ずつ同時駆動し、ゲートドライバ302はパネル300の右上部と右下部のゲート線をつまりG0'、G240'、G1'、G241'、というように1本ずつ同時駆動する。

【0055】データを入力してから表示するまでの動作は、第6の実施例とほぼ同じであるが、本実施例では、パネル403の偶数番目の画素にはソースドライバ153から、奇数番目の画素にはソースドライバ155から、それぞれ表示データに対応した階調電圧を印加するようにしてある。さらに、ゲートドライバ203は、Line0に次いでLine1をハイレベルからローレベルにした後、G0、G1、G479を各々駆動する。同様に、ゲートドライバ204は、Line2に次いでLine3をハイレベルからローレベルにした後、G0'、G1'、G479'を各々駆動する。つまり、Line0およびLine1に対応したデータはゲートドライバ203でG0からG479で駆動され、Line2およびLine3に対応したデータはゲートドライバ204でG0'からG479'で駆動されるようにしたものである。

【0056】本実施例では、LCDコントローラ402がLine0をハイレベルにするときにCL3信号を出力するようにしてあり、Line3をハイレベルからローレベルにしてからLine0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0057】第8の実施例として、ソースドライバをパネルの上に1個だけ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図26から図29を

用いて説明する。図26は第8の実施例を示す表示装置であり、図27はパネル403の詳細な説明図、28は図22の動作を表すタイミングチャート、図29はメモリ450のメモリマップである。

【0058】図26において、450は1画面分以上の表示データを記憶でき、図29に示すメモリマップで表示データが記憶されているメモリ、451はLCDコントローラ452からの制御信号とメモリ450からの表示データで構成されるメモリリードバス、452はクロック106を元に液晶表示制御信号とメモリ450からのデータを読み込むための制御信号を生成するLCDコントローラ。Line4、Line5、Line6及びLine7はLCDコントローラ452の出力するソース選択線、453、454、455及び456はLine4、Line5、Line6及びLine7がハイレベルのときにS4、S5、S6、S7、S12、S13、S1919とソースドライバ153の出力する階調電圧線110とを導通状態にするスイッチ、457は640ドット×480ラインのTFT型液晶のパネルである。

【0059】データを入力してから表示するまでの動作は、第6の実施例とほぼ同じであるが、本実施例では、4画素隠きにゲートドライバ203とゲートドライバ204とで分けて、つまりLine0、Line1、Line2及びLine3に対応する画素はゲートドライバ203で、Line4、Line5、Line6及びLine7に対応する画素はゲートドライバ204で駆動するようにしてある。

【0060】LCDコントローラ452は、まず、クロック106を元にメモリ制御信号を生成し、メモリリードバス451でメモリ450からデータを読み出し、あらかじめゲートドライバ203及びゲートドライバ204にゲート出力開始信号FLM及び水平同期信号CL3を出力しておき、読み込んだ表示データをCL2に同期してバスDataに出力し、Line0、Line1、Line2及びLine3を順次出力し、G0の選択電圧で階調電圧が画素電極にそれぞれ印加される。そしてすぐ、次のCL3を出力するが、同時にLCDコントローラ452はLine4をハイレベルにし、スイッチ453を導通状態にし、S4、S12、S1916に階調電圧を印加する。さらにLine5、Line6及びLine7に対応した動作も同様で、Line7をハイレベルにした後ローレベルにし、G0'をハイレベルからローレベルにする。ここで1ライン分の表示が完了する。以下同様にして、G1からG479及びG1'からG479'のラインの表示が完了する。

【0061】本実施例では、LCDコントローラ452がLine0をハイレベルにするときにCL3信号を出力するようにしてあり、さらにLine4をハイレベルにするときにCL3'信号を出力するようにしてあり、

Line 3をハイレベルからローレベルにしてからLine 4をハイレベルにするまでの時間と短縮でき、さらにLine 7をハイレベルからローレベルにしてからLine 0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0062】第9の実施例として、ソースドライバをパネルの上に2個持ち、ゲートドライバをパネルの左に配置する構成としたものを、図30から図32を用いて説明する。図30は第9の実施例を示す表示装置であり、図31はパネル500の詳細な説明図、32は図30の動作を表すタイミングチャートである。

【0063】図30において、500は640ドット×480ラインのTFT型液晶のパネルである。

【0064】データを入力してから表示するまでの動作は、第3の実施例とほぼ同じであるが、本実施例では、第3の実施例のG0'からG479'はそれぞれゲートドライバ203で駆動するG0からG479にそのまま接続していて、全てゲートドライバ203で駆動する。

【0065】本実施例では、LCDコントローラ202がLine 0をハイレベルにするとときにCL3信号を出力するようにしてあり、Line 3をハイレベルからローレベルにしてからLine 0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0066】第10の実施例として、ソースドライバをパネルの上下に2個ずつ持ち、ゲートドライバをパネルの左に配置する構成としたものを、図33から図36を用いて説明する。図33は第10の実施例を示す表示装置であり、図34はパネル553の詳細な説明図、35は図33の動作を表すタイミングチャートである。

【0067】図33において、550は1画面分以上の表示データを記憶でき、図36に示すメモリマップで表示データが記憶されているメモリ、551はLCDコントローラ552からの制御信号とメモリ550からの表示データで構成されるメモリリードバス、552はクロック106を元に液晶表示制御信号とメモリ550からのデータを読み込むための制御信号を生成するLCDコントローラ、553は640ドット×480ラインのTFT型液晶のパネルである。

【0068】データを入力してから表示するまでの動作は、第4の実施例とほぼ同じであるが、本実施例では、第4の実施例のG0'からG479'をそれぞれゲートドライバ203で駆動するG0からG479にそのまま接続していて、全ゲート線をゲートドライバ203で駆動する。

【0069】本実施例では、例えばG0及びG1の2ラインの表示が同時に完了するので、1ラインの表示時間中に2ライン表示でき、フレーム周波数を高くすることができる。

【0070】第11の実施例として、ソースドライバを

パネルの上に1個だけ持ち、ゲートドライバをパネルの左に配置する構成としたものを、図37と図38を用いて説明する。図37は第11の実施例を示す表示装置であり、図38は図37の動作を表すタイミングチャートである。

【0071】図37において、600はクロック106を元に液晶表示制御信号とメモリ450からのデータを読み込むための制御信号を生成するLCDコントローラである。

【0072】図37は第11の実施例を示す表示装置であり、図38は図37の動作を表すタイミングチャートである。

【0073】データを入力してから表示するまでの動作は、第8の実施例とほぼ同じであるが、本実施例では、第8の実施例のG0'からG479'をそれぞれゲートドライバ203で駆動するG0からG479にそのまま接続していて、全ゲート線をゲートドライバ203で駆動する。つまり、例えばLine 0からLine 7までを順次ハイレベルにした後ローレベルにしてから、G0をハイレベルにする。

【0074】本実施例では、例えばG0及びG1の2ラインの表示が同時に完了するので、1ラインの表示時間中に2ライン表示でき、フレーム周波数を高くすることができる。

【0075】以上の実施例では、1画面分以上の表示データを記憶できるメモリ102で構成してあるが、メモリ102をラインメモリ、ラインラッピング、更にはソースドライバを含めてラッピング内蔵のソースドライバで構成することもできる。

【0076】

【発明の効果】本発明によれば、従来の解像度で良好なあるいは最低限の品質を保つための1フレーム期間に必要な時間（以下、フレーム周期という）が、高解像度化のためにデータ量が増えてても、フレーム周期が長くなってしまうことはない。

【0077】又、ソースドライバの出力ピッチを微細化しなくてはならない場合でも、ソースドライバの小面積化、ソースドライバ回路の出力を液晶パネル接続するTABの小ピッチ化を行わなくてもよい。さらに、TABを微細化しなくても良いので、生産コストを低く抑えることが出来る。

【画面の簡単な説明】

【図1】第1の実施例の表示装置のブロック図。

【図2】第1の実施例の表示装置のパネルの説明図。

【図3】第1の実施例の表示装置のタイミングチャート。

【図4】第1の実施例の表示装置のメモリマップ。

【図5】第2の実施例の表示装置のブロック図。

【図6】第2の実施例の表示装置のメモリマップ。

【図7】第2の実施例の表示装置のタイミングチャート。

ト。

【図8】第3の実施例の表示装置のブロック図。

【図9】第3の実施例の表示装置のパネルの説明図。

【図10】第3の実施例の表示装置のタイミングチャート。

【図11】第3の実施例の表示装置のメモリマップ。

【図12】第4の実施例の表示装置のブロック図。

【図13】第4の実施例の表示装置のパネルの説明図。

【図14】第4の実施例の表示装置のタイミングチャート。

【図15】第4の実施例の表示装置のメモリマップ。

【図16】第5の実施例の表示装置のブロック図。

【図17】第5の実施例の表示装置のパネルの説明図。

【図18】第5の実施例の表示装置のタイミングチャート。

【図19】第6の実施例の表示装置のブロック図。

【図20】第6の実施例の表示装置のパネルの説明図。

【図21】第6の実施例の表示装置のタイミングチャート。

【図22】第7の実施例の表示装置のブロック図。

【図23】第7の実施例の表示装置のパネルの説明図。

【図24】第7の実施例の表示装置のタイミングチャート。

【図25】第7の実施例の表示装置のメモリマップ。

【図26】第8の実施例の表示装置のブロック図。

【図27】第8の実施例の表示装置のパネルの説明図。

【図28】第8の実施例の表示装置のタイミングチャート。

【図29】第8の実施例の表示装置のメモリマップ。

【図30】第9の実施例の表示装置のブロック図。

【図31】第9の実施例の表示装置のパネルの説明図。

【図32】第9の実施例の表示装置のタイミングチャート。

【図33】第10の実施例の表示装置のブロック図。

【図34】第10の実施例の表示装置のパネルの説明図。

【図35】第10の実施例の表示装置のタイミングチャート。

【図36】第10の実施例の表示装置のメモリマップ。

【図37】第10の実施例の表示装置のブロック図。

【図38】第10の実施例の表示装置のタイミングチャート。

【符号の説明】

101…表示データバス。

102、150、…メモリ、

103…メモリコントローラ、

104…メモリライトバス、

105…クロック生成回路、

106…クロック、

107…LCDコントローラ、

108…メモリリードバス、

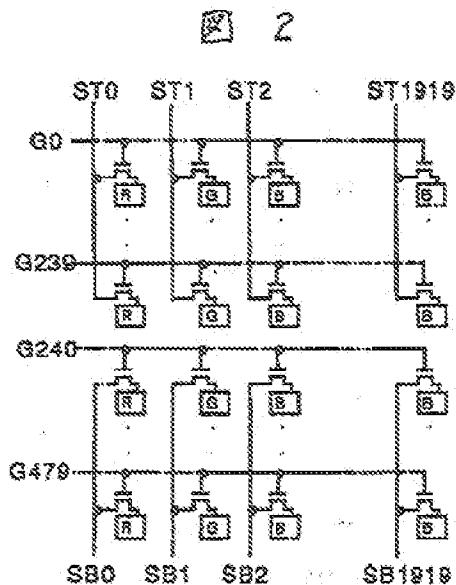
110…階調電圧線、

111、112…ソースドライバ、

116、117、118、119…スイッチ群、

120、121…ゲートドライバ。

【図2】



【図4】

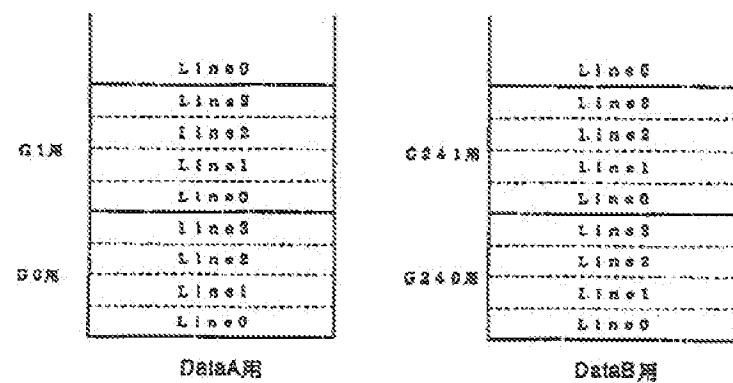


図 2

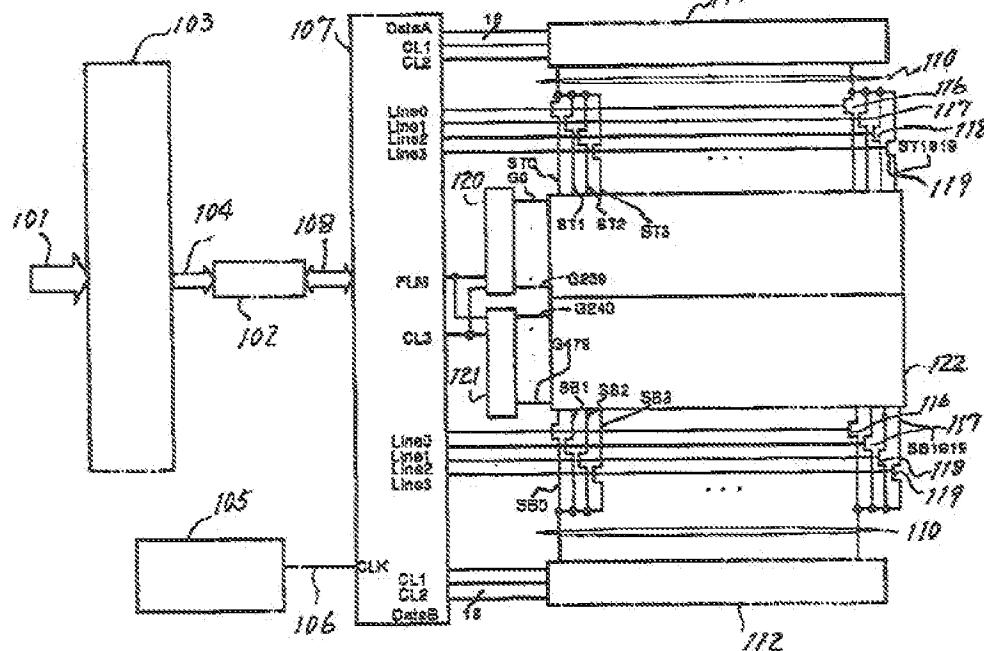
図 4

三

293

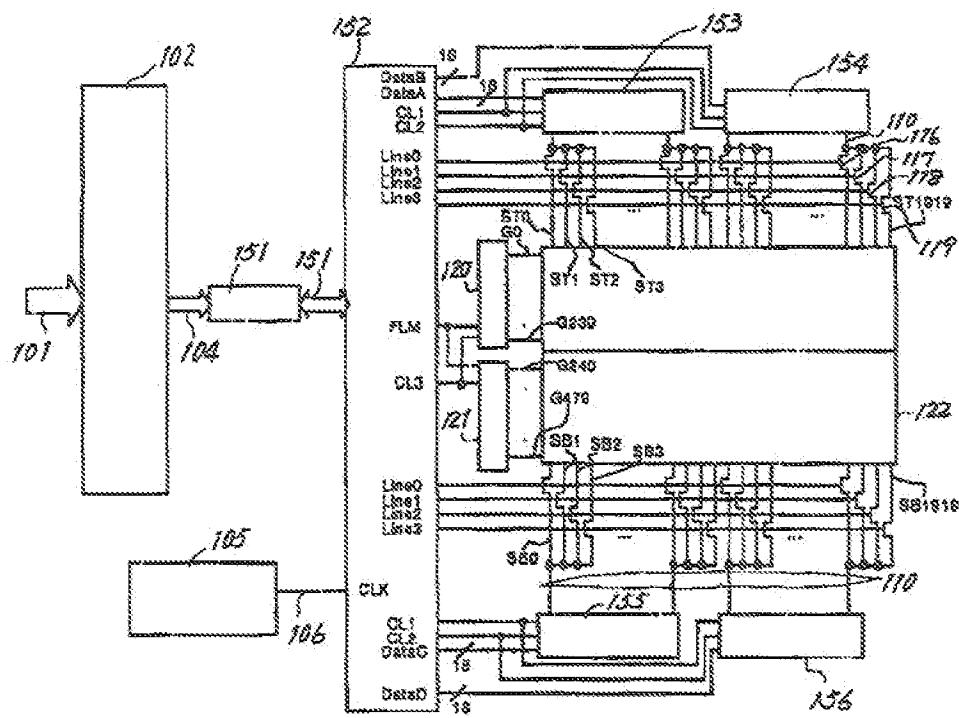
三

29



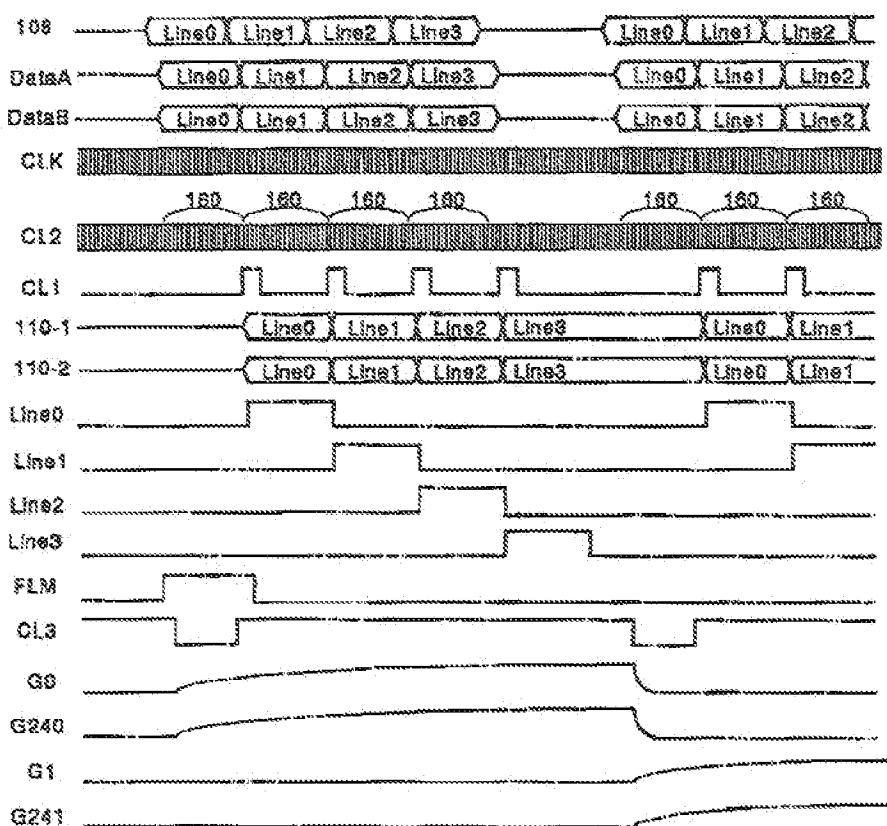
[53]

5



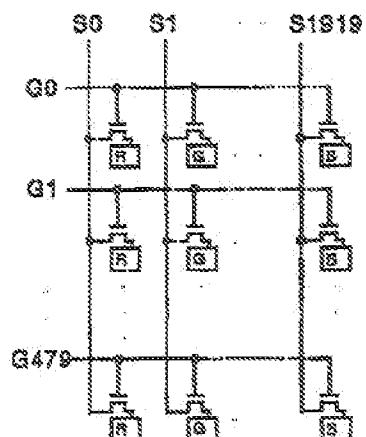
【図3】

図3



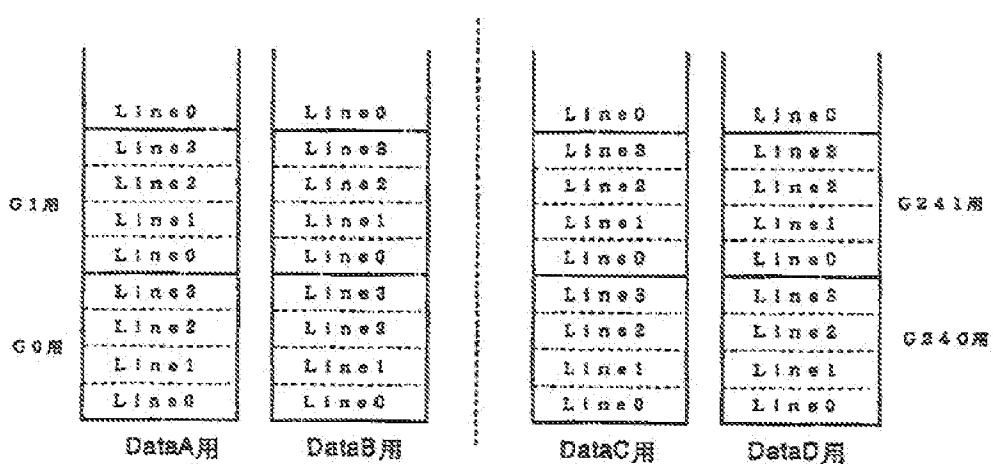
【図3-1】

図3-1



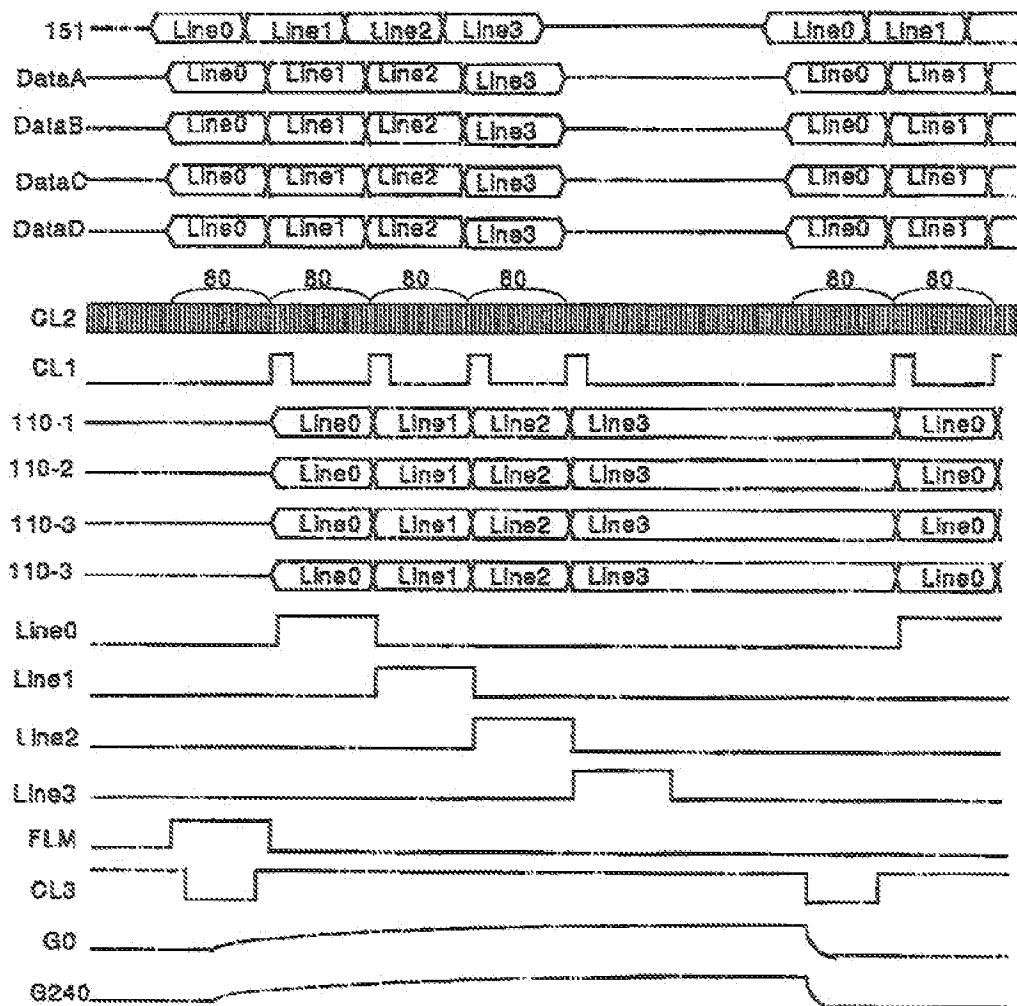
【図6】

図6



【図7】

図 7

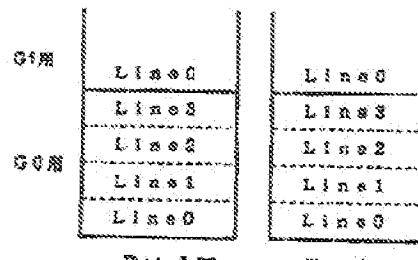
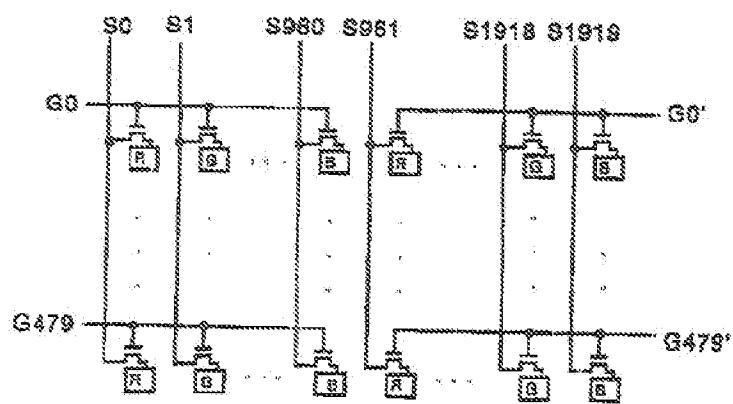


【図9】

【図11】

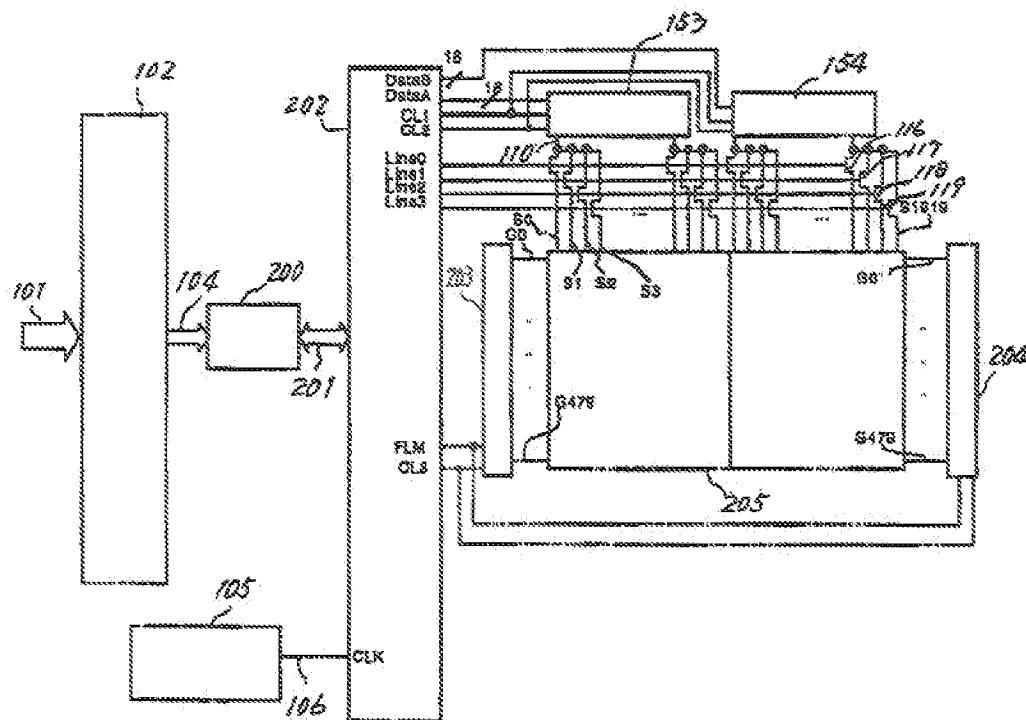
図 9

図 11



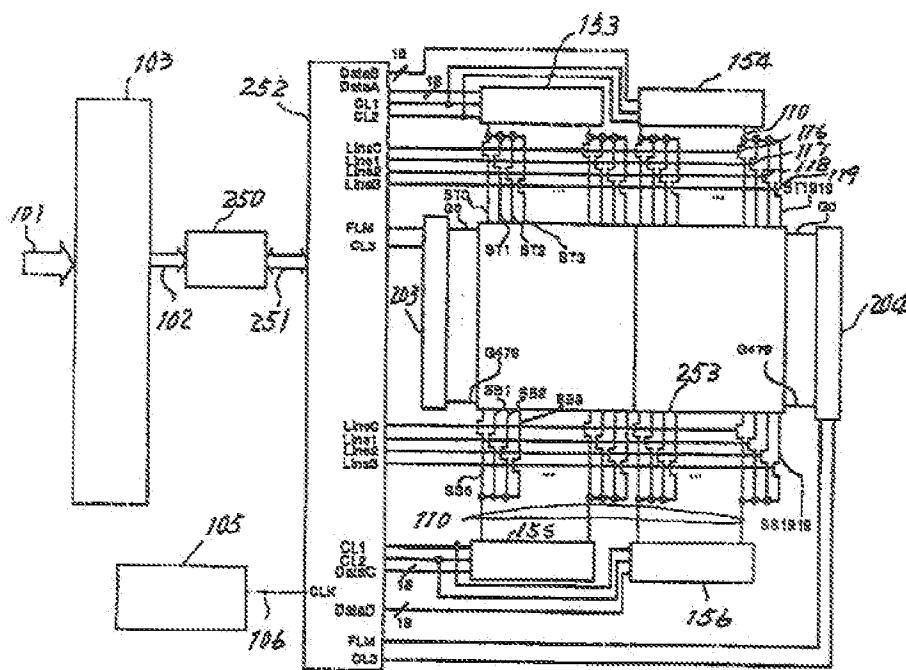
【図8】

図 8



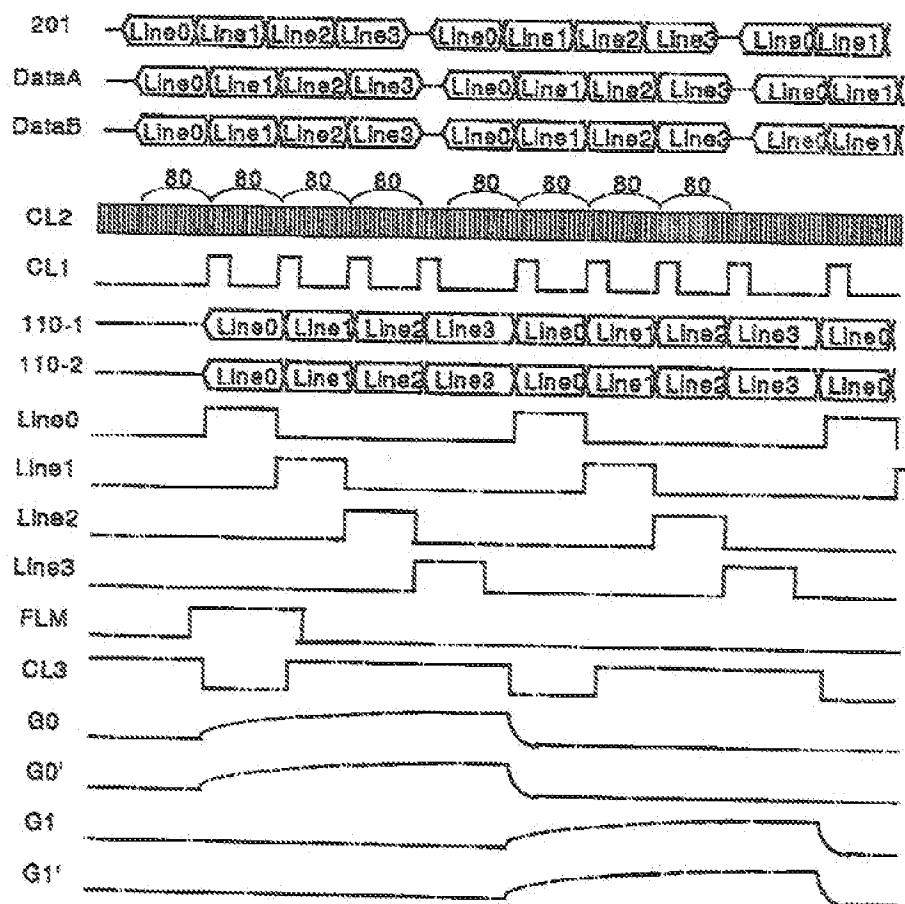
【図12】

図 12

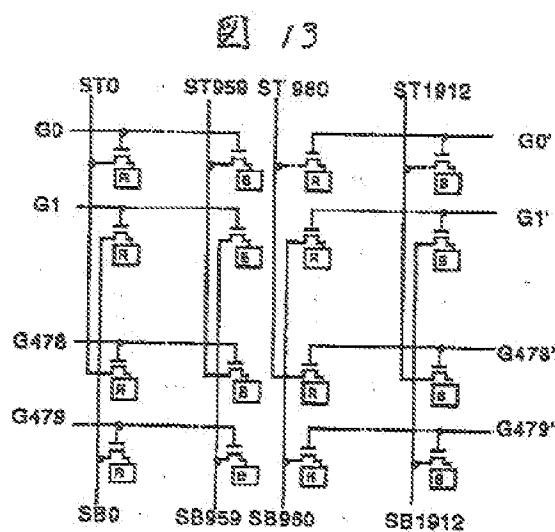


【図10】

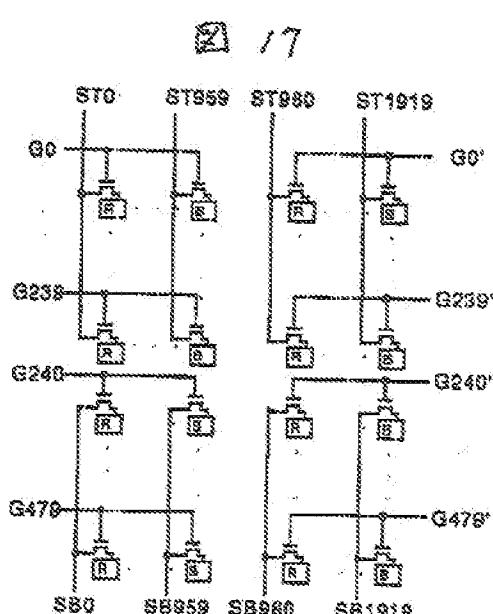
図 10



【図13】

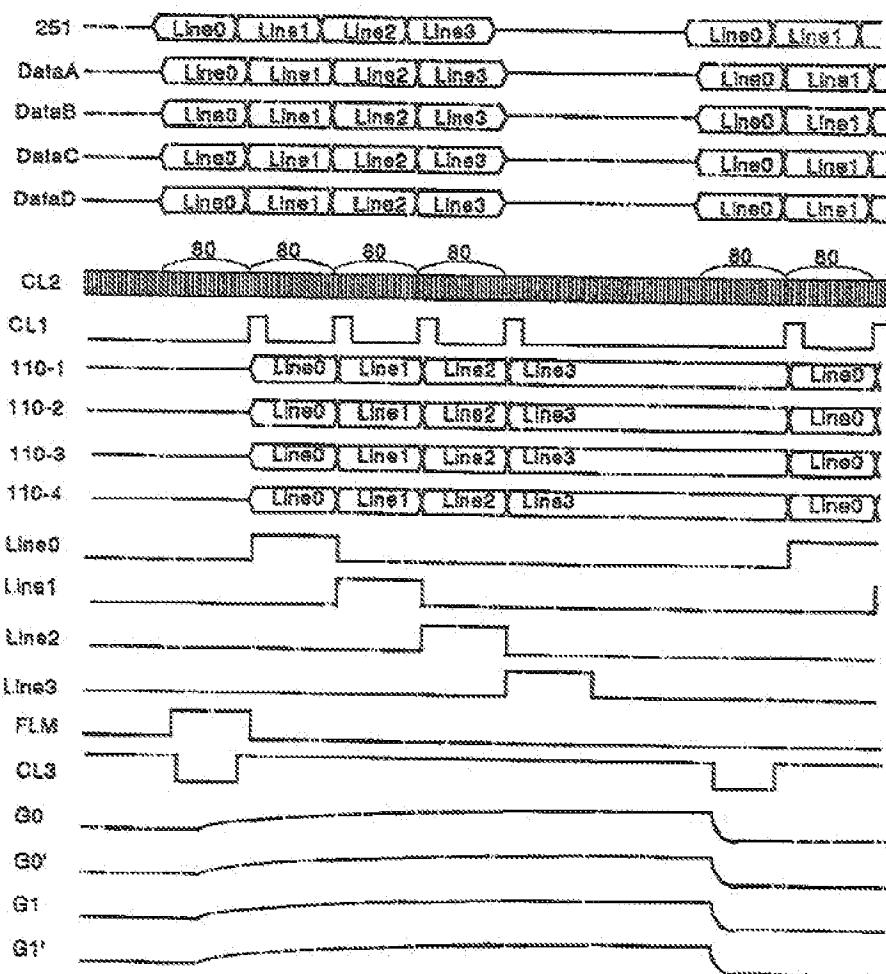


【図17】



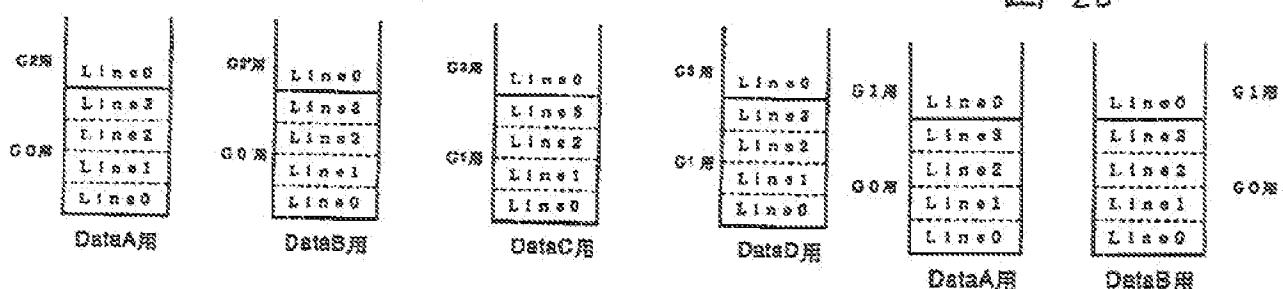
【図14】

図 14



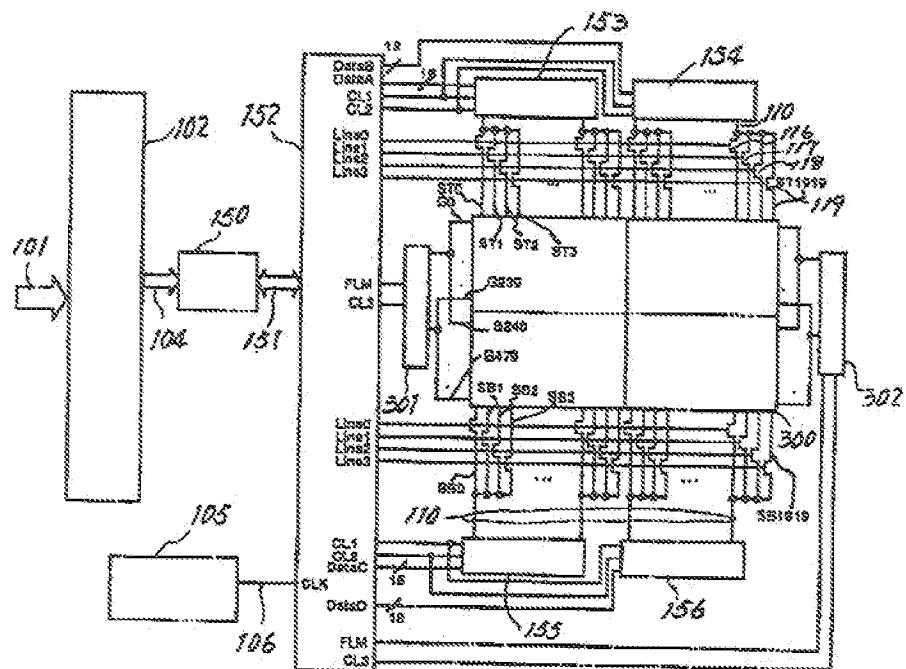
【図15】

図 15



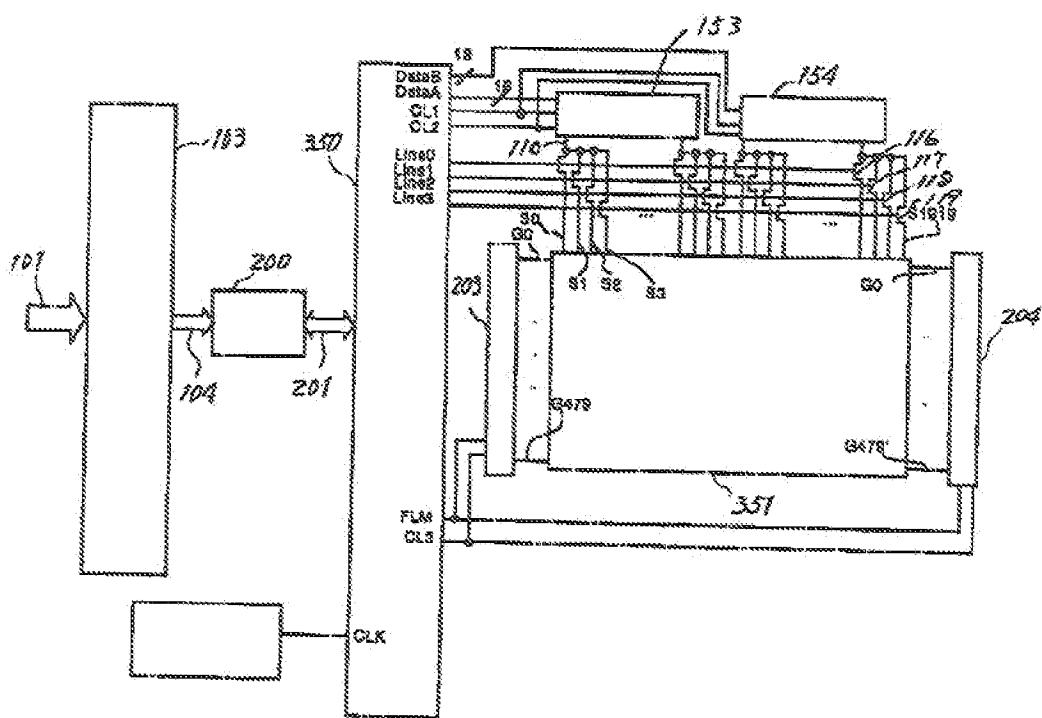
【図16】

図 16



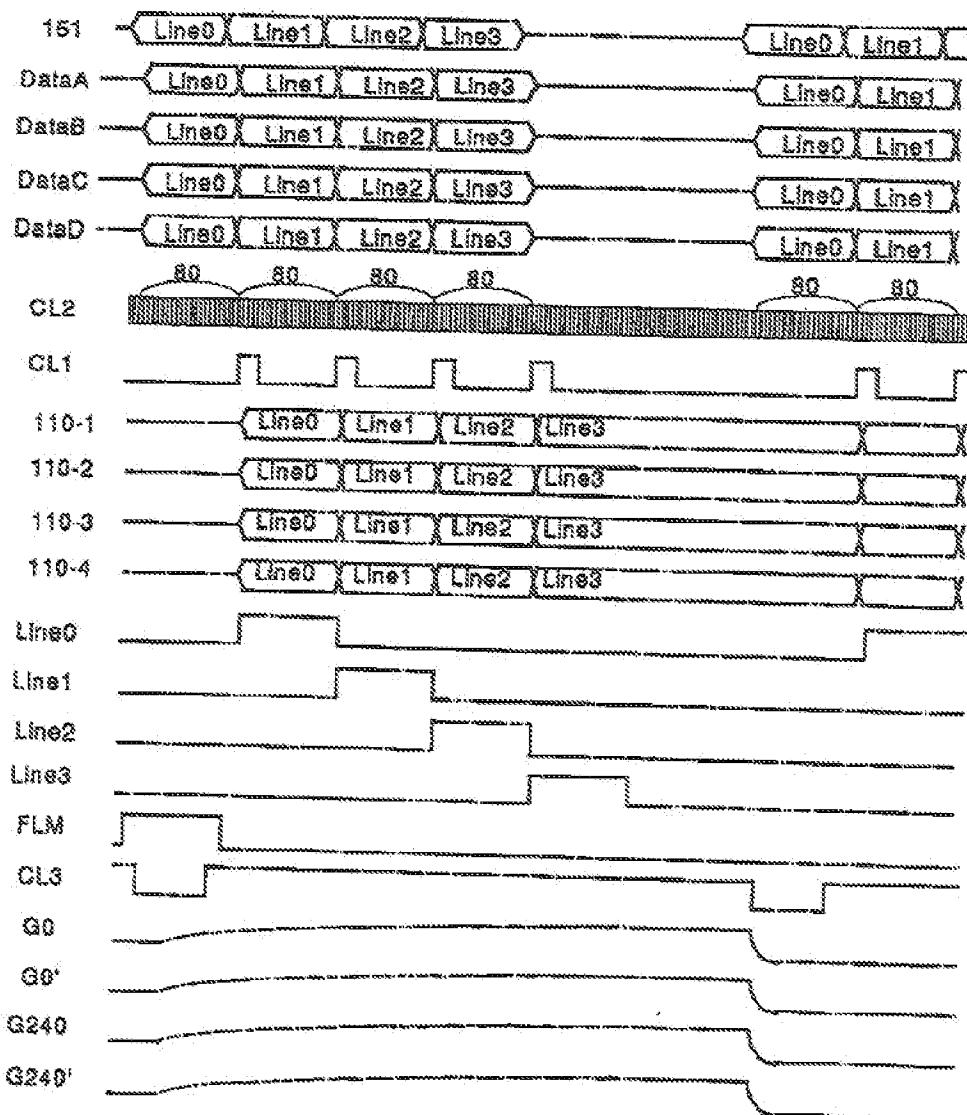
【図19】

図 19



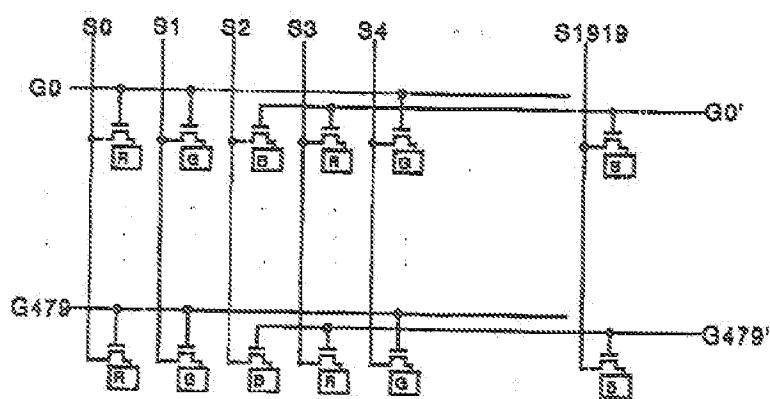
【図18】

図18



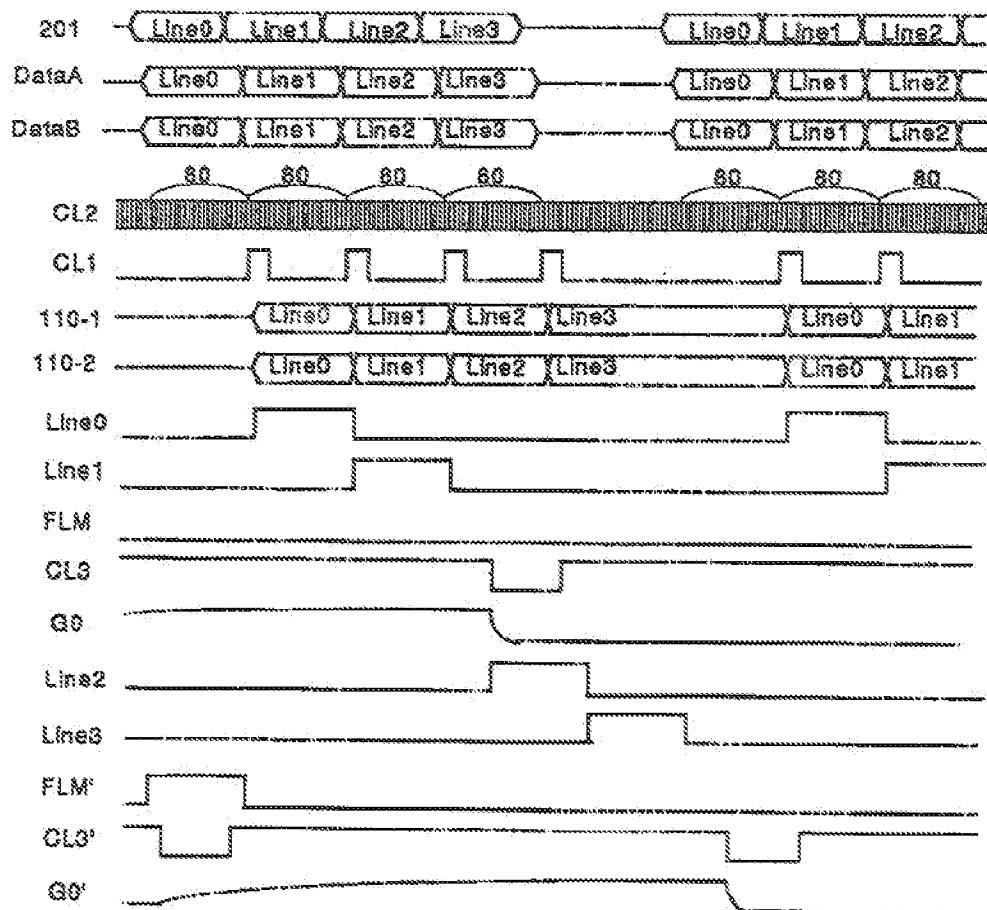
【図20】

図20



【図21】

図 21



【図23】

【図34】

図 23

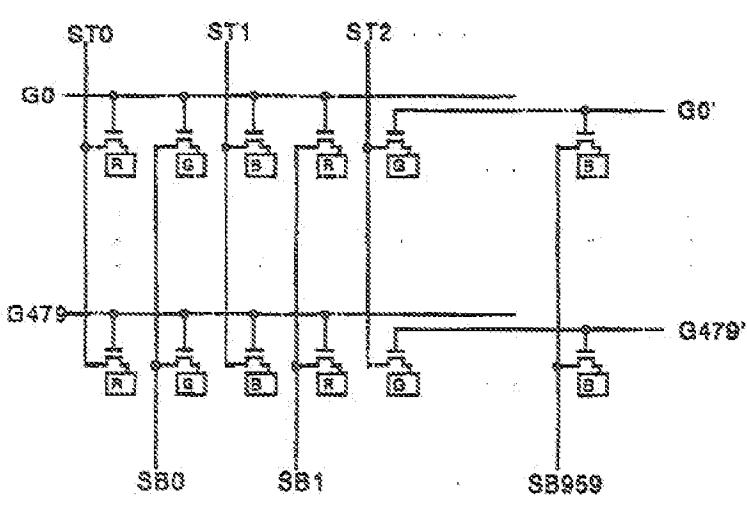
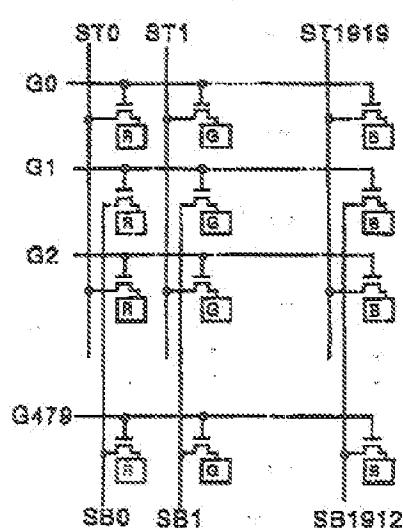


図 34



[22]

22

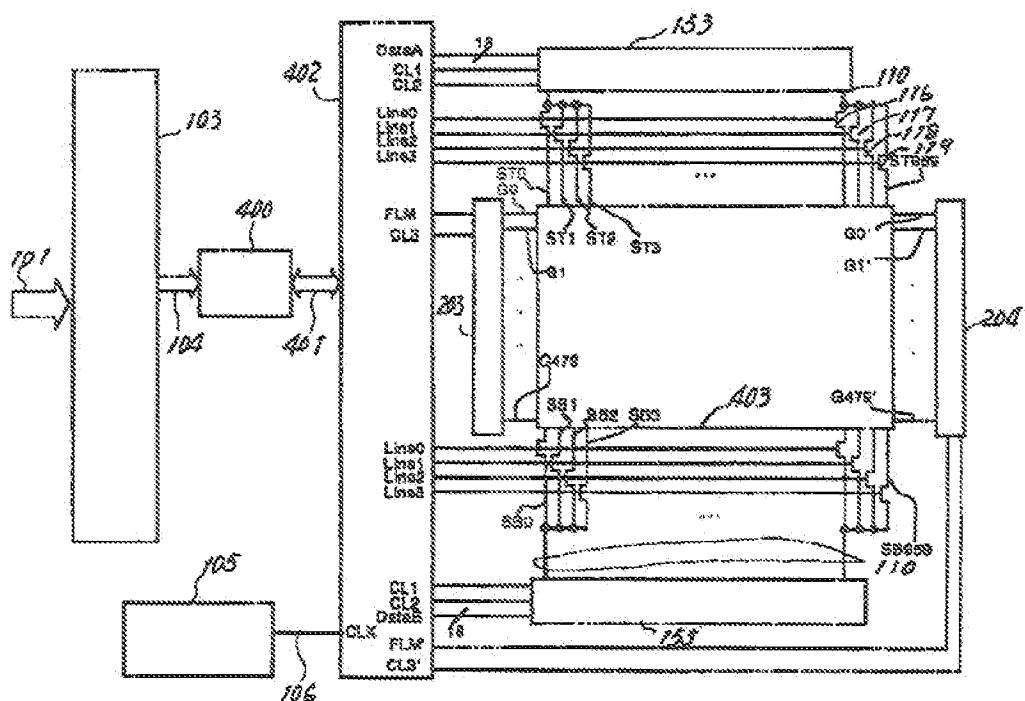
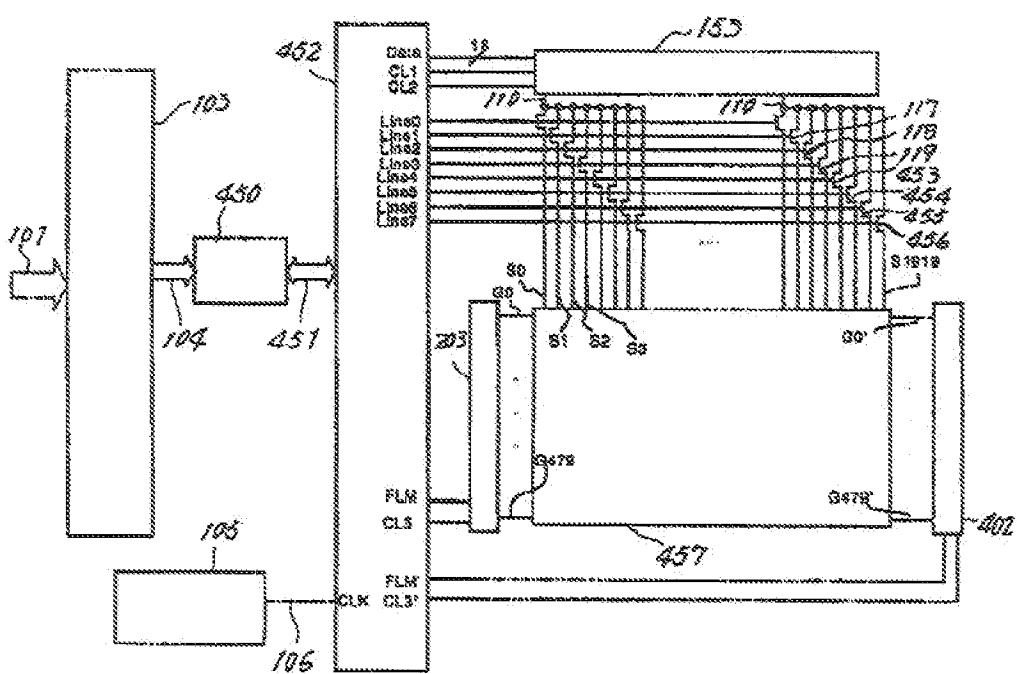


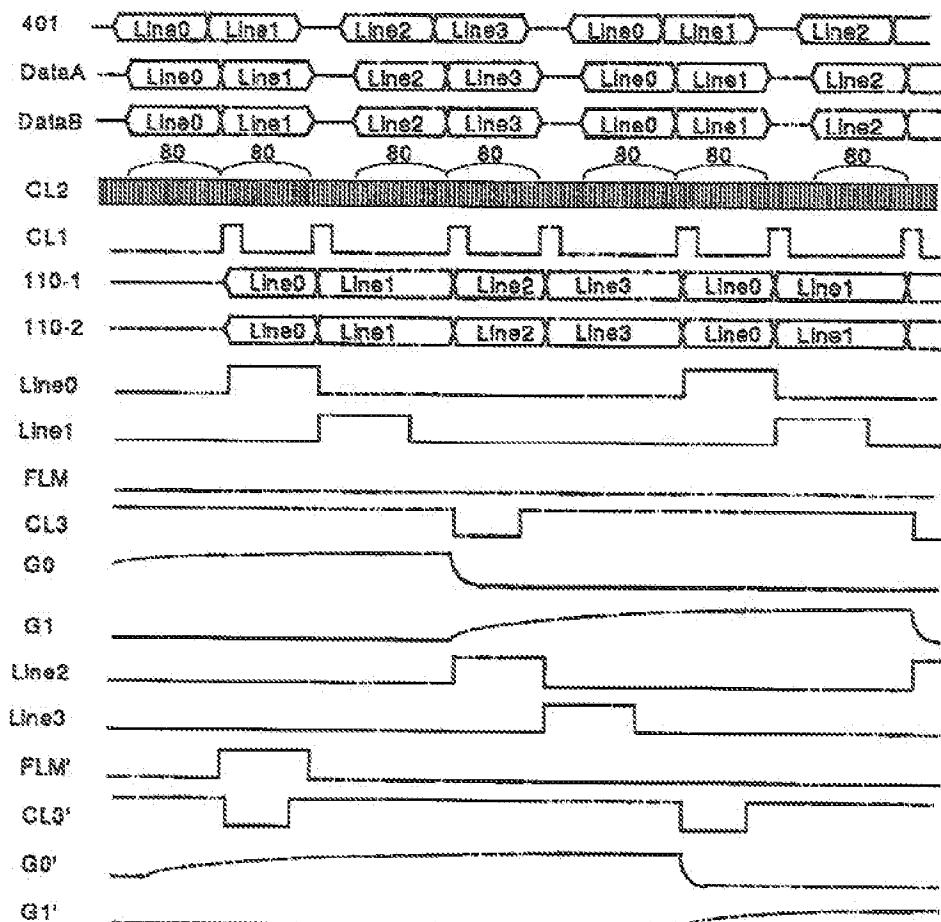
图 2-61

26



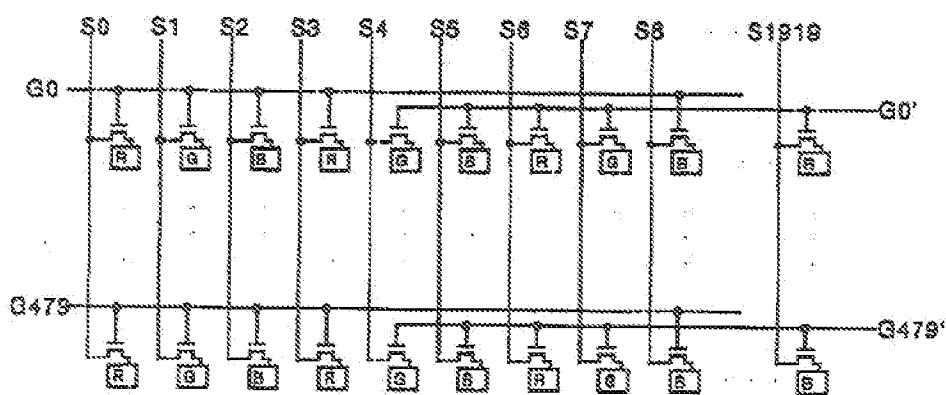
【図24】

図 24



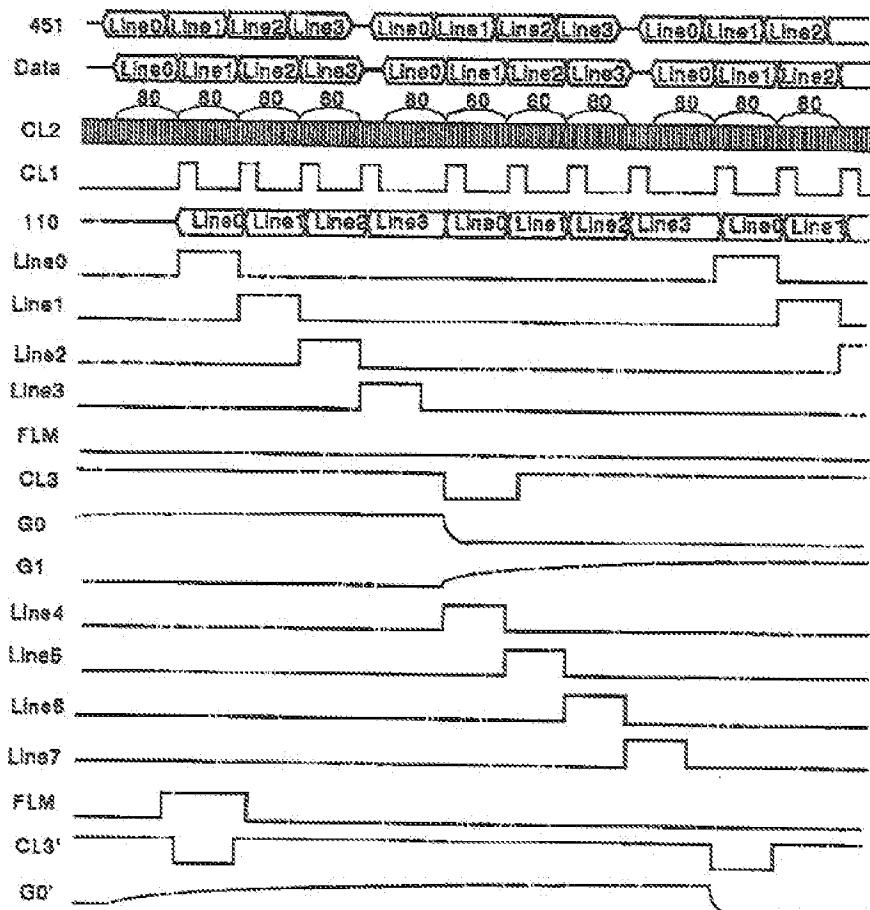
【図27】

図 27



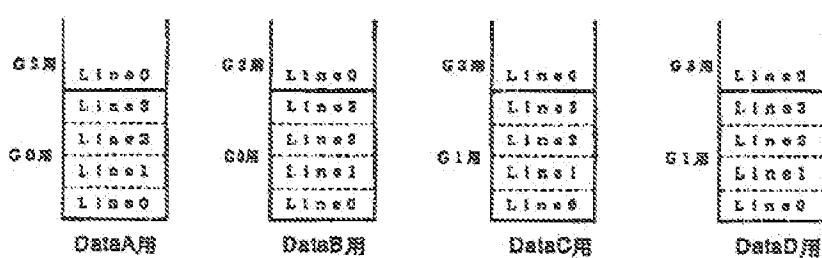
【図28】

図 28



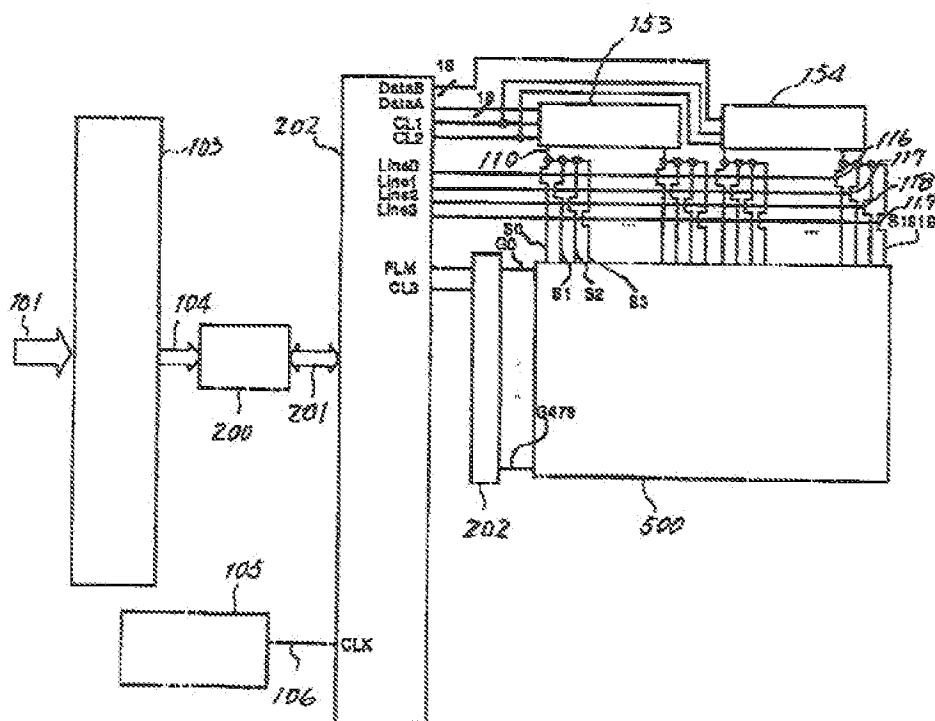
【図36】

図 36



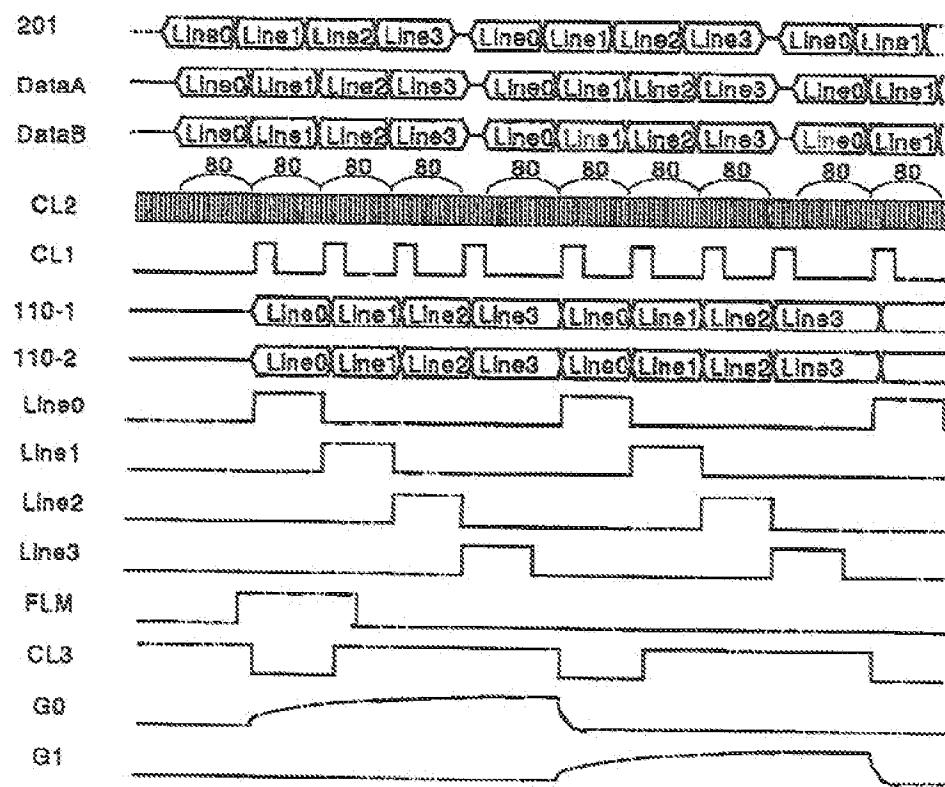
【図30】

図30



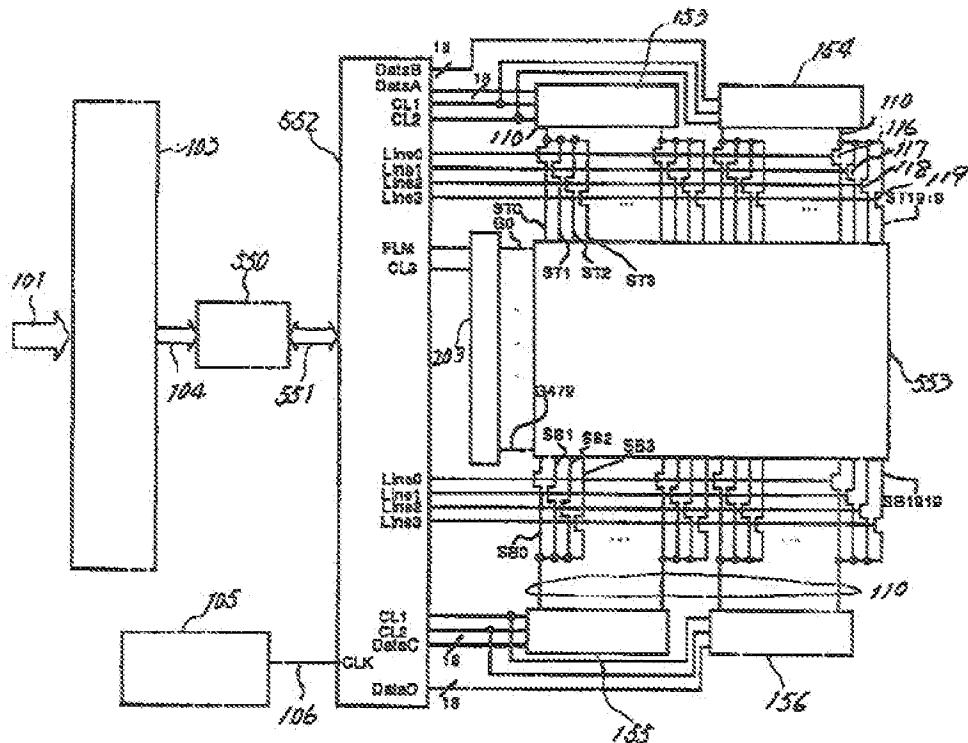
【図32】

図32



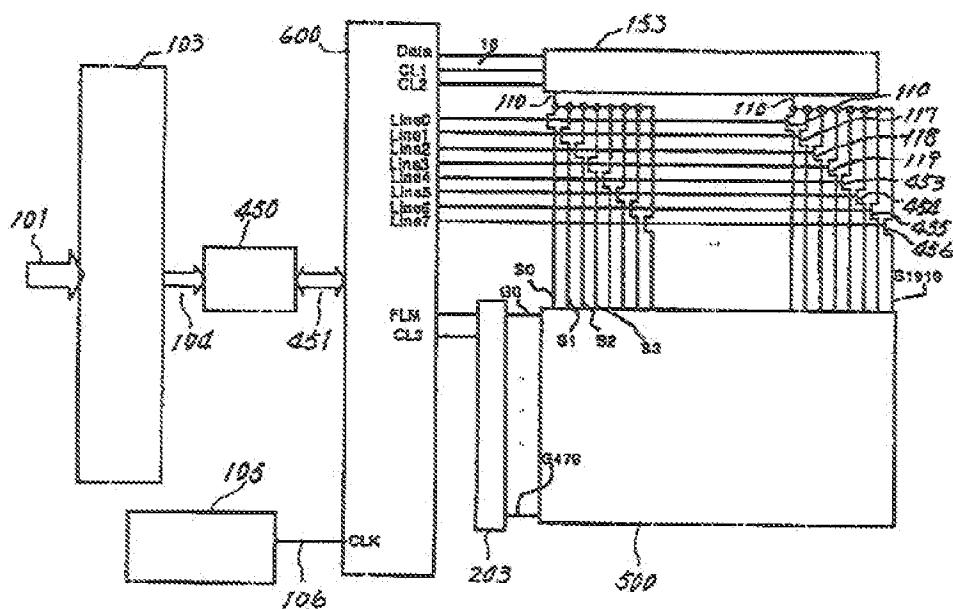
【図33】

図33



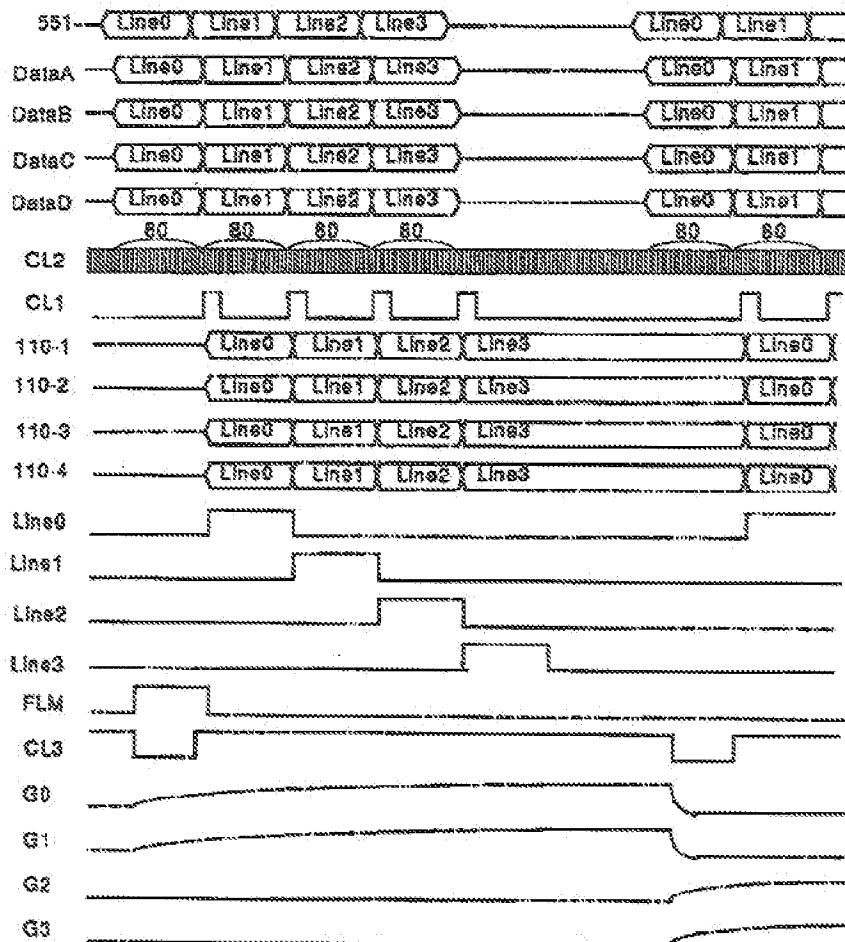
【図37】

図37



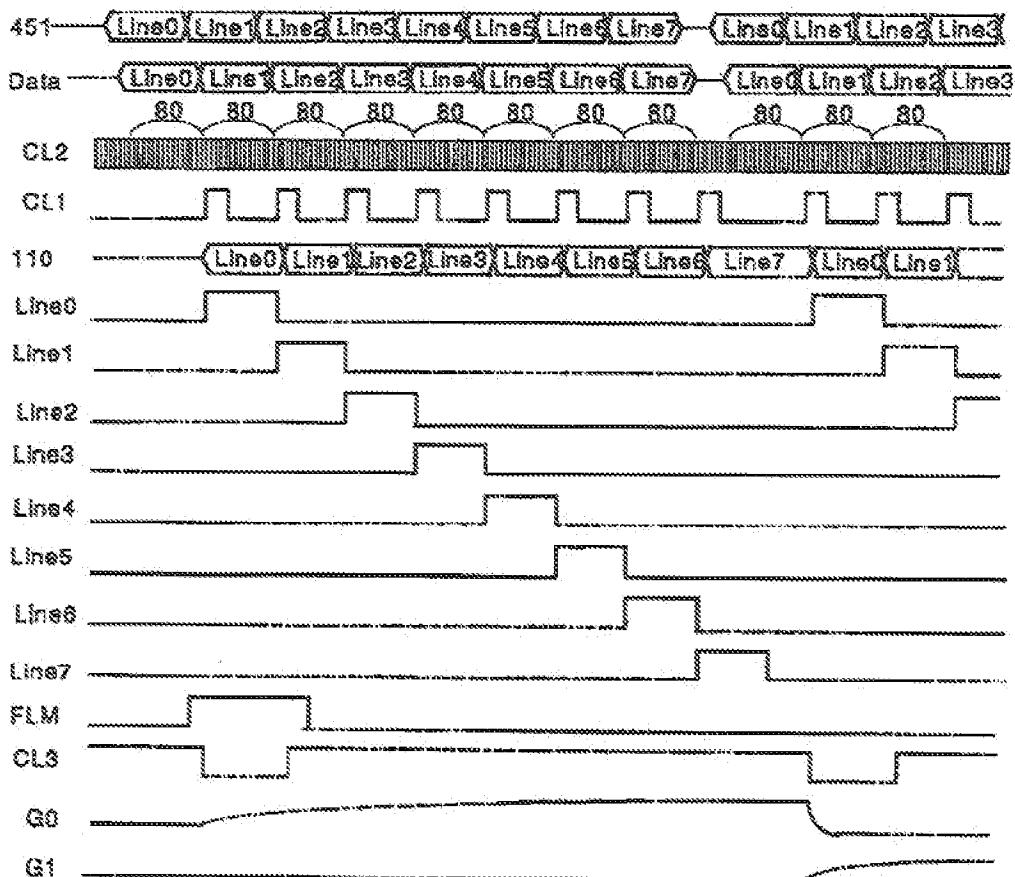
【図35】

② 35



【図38】

図38



フロントページの続き

(72)発明者 滝田 功

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 池田 牧子

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 田中 武

茨城県日立市大みか町七丁目1番1号株式
会社日立製作所日立研究所内

(72)発明者 二見 利男

千葉県茂原市早野3300番地株式会社日立製
作所電子デバイス事業部内

(72)発明者 鎌川 悟

東京都小平市上水本町五丁目20番1号株式
会社日立製作所半導体事業部内